



I.T.I. "Modesto PANETTI" – B A R I

Via Re David, 186 -
70125 BARI

☎ 080-542.54.12 -

☎ Fax 080-542.64.32

Internet <http://www.itispanetti.it> – email : BATF05000C@istruzione.it

**Tesina sviluppata dall'alunno Antonio Gonnella della classe 5 ETB.
A.S. 2006/2007**

**Docenti: Prof. Ettore Panella
Prof. Giacinto Vaglica**

GENERALITA' SUI CONVERTITORI DAC E ADC

L'enorme sviluppo delle tecniche digitali e l'uso sempre più diffuso dei computer nei sistemi elettronici, rende fondamentale lo studio dei convertitori DAC e ADC che sono i dispositivi di interfacciamento per il colloquio tra il mondo digitale e quello analogico.

In particolare il DAC è un dispositivo che accetta in ingresso un segnale digitale, espresso in un determinato codice per esempio il codice binario puro, e fornisce in uscita una tensione o una corrente ad esso proporzionale.

Mentre il convertitore ADC, accetta in entrata una tensione analogica, tipicamente di alcuni volt, e fornisce in uscita un segnale digitale, generalmente tra 8 bit e 16 bit, proporzionale alla tensione d'ingresso.

CONVERTITORI DIGITALE-ANALOGICO DAC

Il segnale che i μP sono in grado di elaborare è di tipo digitale ma per comandare attuatori di tipo analogico (motori) si rende necessario effettuare la conversione D/A. L'operazione di conversione è affidata al convertitore digitale analogico che traducono segnali digitali in analogici.

In figura 1 è mostrato lo schema logico di un convertitore DAC:

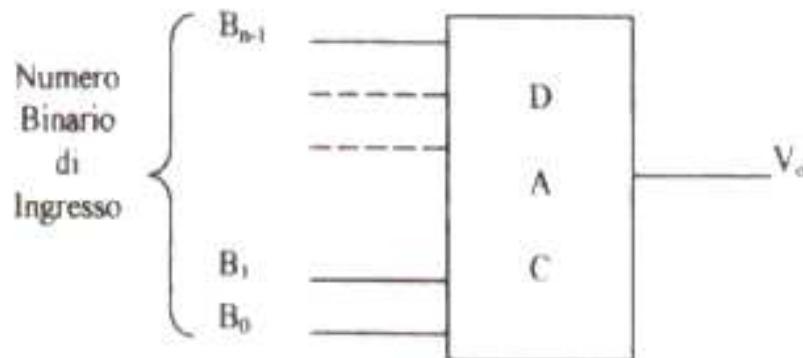


Fig. 1 Schema logico di un DAC

Il numero decimale N codificato in binario a n bit che s'intende convertire in forma analogica, assume la forma:

$$N = \sum_{i=0}^{n-1} B_i \cdot 2^i$$

Poiché il generico bit B_i può assumere due soli valori (0 o 1) con n bit si possono ottenere 2^n configurazioni diverse. In particolare B_0 è detto bit meno significativo (LSB) e B_{n-1} bit più significativo (MSB).

Detta K una costante di proporzionalità, la tensione di uscita del DAC deve assumere la forma:

$$V_o = K \cdot N = K \cdot (B_0 \cdot 2^0 + B_1 \cdot 2^1 + \dots + B_{n-1} \cdot 2^{n-1})$$

Dividendo e moltiplicando per 2^n si ha la forma equivalente:

$$V_o = K \cdot 2^n \left(\frac{B_{n-1}}{2} + \frac{B_{n-2}}{2^2} + \dots + \frac{B_1}{2^{n-1}} + \frac{B_0}{2^n} \right)$$

Si definisce valore di fondo scala VFS di un DAC la quantità

$$V_{FS} = K \cdot 2^n$$

Tenendo conto dell'espressione precedente si ottiene la tensione di uscita di un DAC che è pari a:

$$V_o = V_{FS} \left(\frac{B_{n-1}}{2} + \frac{B_{n-2}}{2^2} + \dots + \frac{B_1}{2^{n-1}} + \frac{B_0}{2^n} \right)$$

Dalla relazione precedente si ricava:

1. Se tutti i bit di entrata valgono zero, risulta:

$$V_o = 0$$

2. Se tutti i bit d'entrata valgono zero escluso il bit B_0 che vale 1 la tensione di uscita assume il valore minimo V_{om} detto quanto o passo del DAC, o anche risoluzione dell'ADC:

$$Q = V_{om} = \frac{V_{FS}}{2^n}$$

Tale valore rappresenta anche l'incremento tra due configurazioni binarie contigue di entrata e definisce la risoluzione del DAC.

3. se $B_{n-1}=1$ e tutti gli altri bit a zero, si ha:

$$V_0 = \frac{V_{FS}}{2}$$

4. se tutti i bit valgono 1 la tensione di uscita è massima e vale:

$$V_{o\max} = K \cdot (2^n - 1) = \frac{V_{FS}}{2^n} (2^n - 1)$$

Tenendo conto della espressione del quanto Q si ha:

$$V_{o\max} = V_{FS} - V_{om}$$

La tensione di uscita non può, quindi, mai eguagliare il valore di fondo scala.

REALIZZAZIONE CIRCUITALE

I convertitori DAC sono realizzati con diverse tecniche circuitali tra le quali le più importanti sono quelle a resistori pesati e quella con rete a scala R-2R. Si riporta in figura 2 lo schema a blocchi di un convertitore DAC:

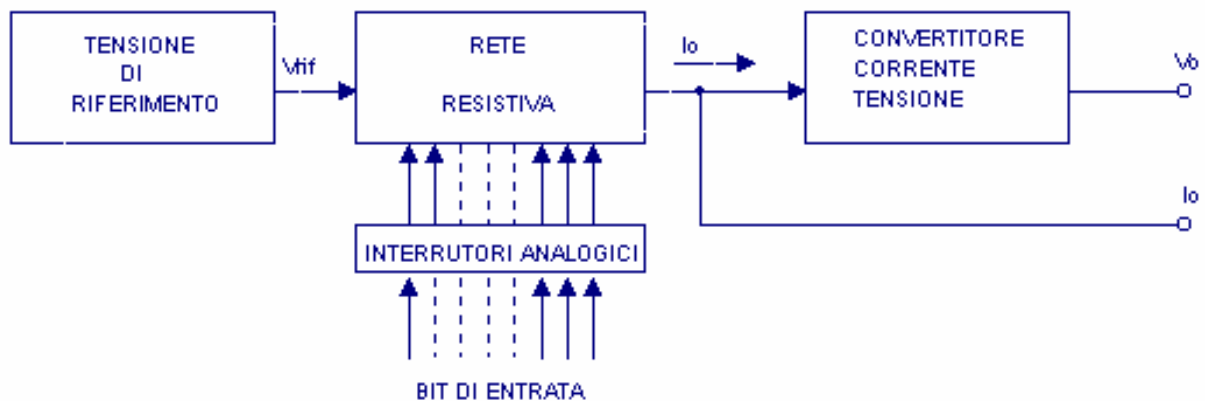


Fig. 2 Schema a blocchi di un DAC

La tensione di riferimento V_{RIF} definisce il valore di fondo scala V_{FS} del DAC. I bit di entrata comandano l'apertura o la chiusura di interruttori analogici che modificano il valore della resistenza equivalente del blocco denominato "rete resistiva"; la corrente in uscita da questo blocco viene convertita in tensione la quale risulta in definitiva proporzionale a V_{RIF} e al numero binario di entrata.

Convertitore D/A a resistenze pesati

In figura 3 si riporta lo schema del DAC a resistenze pesate a 4 bit.

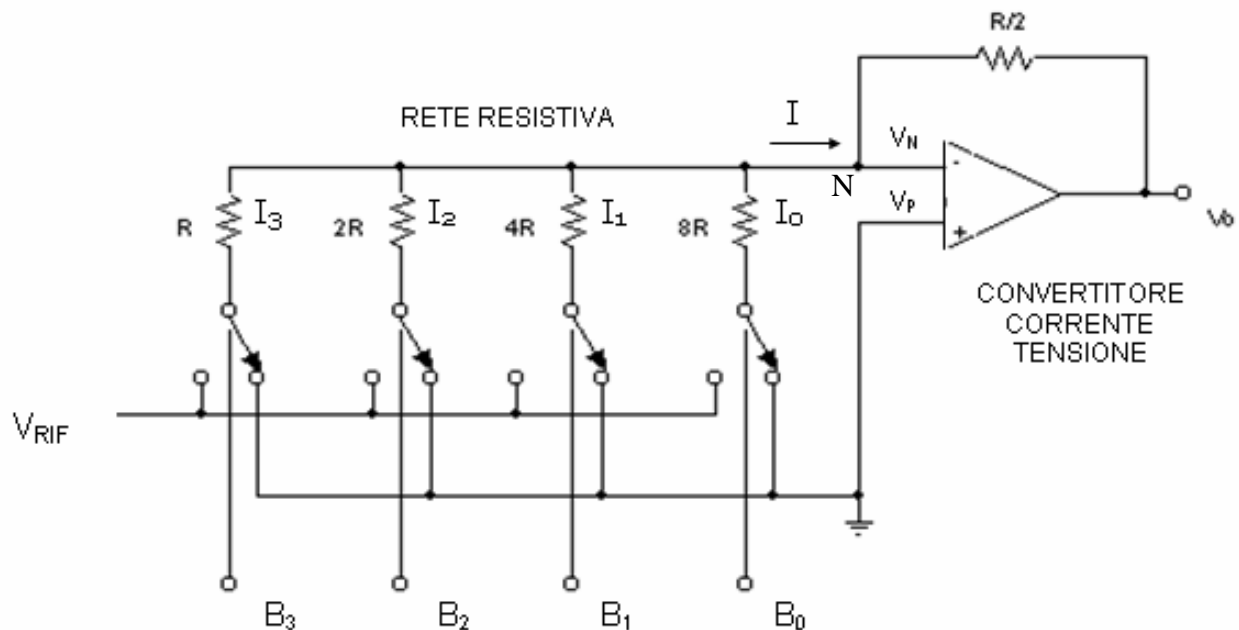


Fig. 3 schema di un DAC a resistenze pesate

Il circuito è composto da una rete di resistenze, da un convertitore corrente/tensione realizzato con un amplificatore operazionale e da alcuni interruttori. Gli interruttori sono utili nel nostro caso per descrivere il comportamento del circuito.

Il numero di resistenze e di interruttori è pari al numero di bit del DAC. L'interruttore consente di collegare la resistenza a massa se il bit vale 0 o al potenziale di riferimento V_{RIF} se il bit vale 1. Di conseguenza in ogni resistenza c'è un passaggio di corrente soltanto se il bit associato vale 1 in modo da avere una differenza di potenziale pari a V_{RIF} ai capi della stessa resistenza. In caso di bit 0 i due morsetti della resistenza sono a massa e quindi non ci può essere passaggio di corrente.

La corrente che circola in ogni resistenza deve essere tale da dare ad ogni bit il proprio peso in funzione della sua posizione, secondo il principio della conversione. Il valore della corrente deve essere maggiore per il bit più significativo (MSB) per poi diminuire per i bit meno significativi. Si procede dunque collegando al MSB la resistenza minore e raddoppiandone il valore per il bit successivo fino al LSB per il quale la resistenza è 2^{n-1} volte maggiore rispetto alla prima.

Ad esempio nel caso di un DAC a 4 bit: ($B_3 B_2 B_1 B_0$) al bit B_3 associamo una resistenza R , al bit B_2 colleghiamo una resistenza doppia della prima $2R$, ad B_1 la resistenza $4R$ ed infine ad B_0 la resistenza $8R$.

Se l'interruttore è su V_{RIF} nella resistenza circola corrente che vale, rispettivamente:

$$I_3 = \frac{V_{RIF}}{R} se B_3 = 1$$

$$I_2 = \frac{V_{RIF}}{2R} se B_2 = 1$$

$$I_1 = \frac{V_{RIF}}{4R} se B_1 = 1$$

$$I_0 = \frac{V_{RIF}}{8R} se B_0 = 1$$

Applicando il principio di Kirckoff al nodo N si ottiene la I complessiva pari a:

$$I = I_3 + I_2 + I_1 + I_0 = \frac{V_{RIF}}{R} + \frac{V_{RIF}}{2R} + \frac{V_{RIF}}{4R} + \frac{V_{RIF}}{8R}$$

Mettendo V_{RIF} e R in evidenza si ottiene:

$$I = \frac{V_{RIF}}{R} \left(\frac{1}{2^0} + \frac{1}{2^1} + \frac{1}{2^2} + \frac{1}{2^3} \right)$$

Dalla espressione precedente la corrente I presuppone che tutti gli ingressi B siano uguali a 1 però realmente non è sempre così. Per questa ragione si introduce la variabile binaria B che può assumere due valori 1 e 0, ottenendo:

$$I = \frac{V_{RIF}}{R} \left(\frac{B_3}{2^0} + \frac{B_2}{2^1} + \frac{B_1}{2^2} + \frac{B_0}{2^3} \right)$$

E quindi se la variabile è zero, la corrente è zero.

Mentre la tensione di uscita V_o del convertitore corrente/tensione vale:

$$V_o = -\frac{R}{2} \cdot I = -V_{RIF} \left(\frac{B_3}{2} + \frac{B_2}{4} + \frac{B_1}{8} + \frac{B_0}{16} \right)$$

Moltiplicando e dividendo per il modulo, il quale è pari a 2^4 , e ponendo $V_{FS} = -V_{RIF}$ si ottiene l'espressione finale:

$$V_o = \frac{V_{FS}}{2^4} (B_3 2^3 + B_2 2^2 + B_1 2^1 + B_0 2^0)$$

L'espressione precedente coincide con l'espressione della tensione di uscita di un convertitore DAC a 4 bit, già riportata precedente, da cui si può ottenere:

$$Q = V_{om} = -\frac{V_{RIF}}{16} \text{ Risoluzione del DAC}$$

$$V_{o\max} = V_{FS} - Q \text{ Tensione massima di uscita del DAC}$$

L'impiego di questi tipo di convertitori D/A è limitato perché presentano alcuni inconvenienti:

1. Il valore delle resistenze cresce secondo le potenze del due, fino a raggiungere valori notevoli se il numero di bit del DAC è elevato. Inoltre non è possibile ovviare a questo problema prendendo un valore di R troppo basso se si vuole garantire un corretto funzionamento dei deviatori elettronici.
2. Difficoltà di avere resistenze con valori così diversi e stessa precisione.
3. La corrente erogata da V_{RIF} dipende dalla combinazione dei bit in ingresso.

Convertitore DAC con rete a scala R-2R

Questo tipo di convertitore D/A sfrutta, per la conversione, lo stesso principio di quello a resistenze pesate ma presenta il vantaggio di utilizzare resistenze di due soli possibili valori R e 2R. Esistono due tipi di DAC di questo genere:

- I. a rete (o scala) R-2R;
- II. a rete (o scala) R-2R invertita;

Nella figure 4 è riportato lo schema del convertitore D/A R-2R a 4 bit.

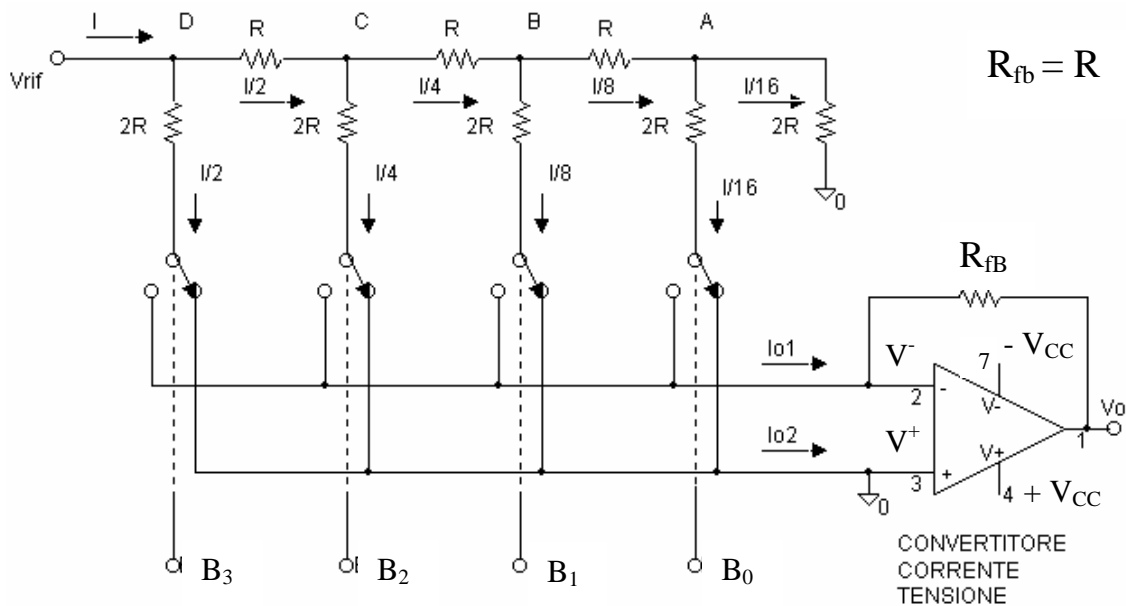


Fig. 4 Schema DAC R-2R a 4 bit

I bit di entrata $B_3B_2B_1B_0$ comandano quattro interruttori analogici collegati con la massa se $B_i = 0$ e con la massa virtuale (dato la proprietà dell'operazionale in cui si ha $V^- = V^+ = 0$) se $B_i = 1$. I deviatori commutano tra due punti equipotenziali, massa e massa virtuale senza interruzione di corrente nella resistenza con conseguente miglioramento della velocità di conversione.

La rete di resistenze è tale che ad ogni nodo la resistenza equivalente tra uno dei punti A, B, C, D e massa vale sempre R, infatti tra A e massa si ha:

$$R_{eqA} = 2R // 2R = R$$

tra B e massa si ha:

$$R_{eqB} = (R + R_{eqA}) // 2R = 2R // 2R = R$$

Analogamente per i punti C e D.

Il generatore di riferimento V_{RIF} eroga, quindi, una corrente:

$$I = \frac{V_{RIF}}{R}$$

Tale corrente si divide in parti uguali ai nodi D, C, B, A. Si può notare l'importanza di 2R collegata direttamente a massa, la quale permette di suddividere ulteriormente la I.

Si nota che la corrente I è pari a:

$$I = I_{O1} + I_{O2} + \frac{I}{16}$$

Viene introdotta la variabile binaria dato che il valore delle correnti IO1 e IO2 dipendono dal valore degli ingressi B.

Per il principio della sovrapposizione degli effetti la corrente di uscita della rete a scala I_{O1} vale:

$$I_{O1} = \frac{I}{2} B_3 + \frac{I}{4} B_2 + \frac{I}{8} B_1 + \frac{I}{16} B_0$$

Si osservi che:

$$I_{O2} = I - I_{O1} - \frac{I}{16}$$

La tensione di uscita V_o risulta:

$$V_o = -R_{fb} \cdot I_{O1}$$

Sostituendo l'espressioni ottenute precedentemente quanto riguardano I_{O1} e I, all'espressione di V_o e ricordando $R_{fb} = R$, si ottiene:

$$V_o = -V_{RIF} \left(\frac{B_3}{2} + \frac{B_2}{4} + \frac{B_1}{8} + \frac{B_0}{16} \right)$$

Quest'ultima costituisce l'espressione della tensione di uscita di un convertitore a 4 bit con valore di fondo scala pari a V_{RIF} .

Moltiplicando e dividendo per il modulo, il quale è pari a 2^4 si ottiene:

$$V_o = \frac{V_{FS}}{2^4} (B_3 2^3 + B_2 2^2 + B_1 2^1 + B_0 2^0)$$

CODICI DIGITALI NEI CONVERTITORI DAC

Un convertitore DAC è detto unipolare se la tensione di uscita assume sempre la stessa polarità tipicamente comprese tra $0 \div 5V$ oppure tra $0 \div 10V$.

Si dice bipolare se la tensione di uscita assume valori negativi e positivi tipicamente compresi tra $-5V \div 5V$ oppure tra $-10 \div 10V$.

Codici unipolari

Nei convertitori unipolari i codici binari di ingresso più diffusi sono il binario naturale e il suo complemento e il codice BCD. Nei convertitori che utilizzano il codice binario naturale la tensione in uscita del DAC è espressa:

$$V_o = V_{FS} \left(\frac{B_{n-1}}{2} + \frac{B_{n-2}}{2^2} + \dots + \frac{B_1}{2^{n-1}} + \frac{B_0}{2^n} \right)$$

Nei convertitori che usano il codice BCD il numero binario di entrata è suddiviso in gruppi di 4 bit, ognuno dei quali detto digit, può assumere solo le dieci combinazioni binarie corrispondenti ai numeri decimali tra 0 e 9.

La tensione di uscita per il convertitore BCD a due digit, vale:

$$V_o = \frac{V_{FS} \cdot 2^4}{10} \left(\frac{B_3}{2} + \frac{B_2}{2^2} + \frac{B_1}{2^3} + \frac{B_0}{2^4} \right) + \frac{V_{FS} \cdot 2^4}{10} \left(\frac{B'_3}{2} + \frac{B'_2}{2^2} + \frac{B'_1}{2^3} + \frac{B'_0}{2^4} \right)$$

Dalla formula precedente si ricava che la risoluzione del convertitore nel codice BCD, corrispondente alla configurazione di entrata 00000001 vale:

$$Q = V_{om} = \frac{V_{FS}}{10^2} = 0.1V$$

Si può notare che è inferiore a quella di un convertitore a 8 bit nel codice binario naturale che vale:

$$Q = V_{om} = \frac{V_{FS}}{2^8} \cong 0.04V$$

I convertitore con codice BCD, pur avendo una risoluzione inferiore a quella dei convertitori in codice binario naturale, trovano applicazioni negli strumenti di misura con visualizzazione numerica.

Codici bipolari

Nei convertitori bipolari i codici più diffusi sono:

- 1) Codice con segno. Il bit più significativo MSB stabilisce il segno della tensione di uscita, se MSB=0 la tensione di uscita è positiva.
- 2) Codice con fuori zero. È ottenuto dal binario naturale associando alla tensione minima negativa la combinazione binaria a tutti 0.
- 3) Codice con complemento a 1. È un codice con segno nel quale i valori positivi sono rappresentati secondo il codice binario mentre quello negativi sono rappresentati complementando lo stesso codice.
- 4) Codice con complemento a 2. Differisce da quello in complemento a 1 perché ai numeri negativi viene sommato 1LSB.

valore analogico	modulo e segno	complemento a 1	complemento a 2
+7	0111	0111	0111
+6	0110	0110	0110
+5	0101	0101	0101
+4	0100	0100	0100
+3	0011	0011	0011
+2	0010	0010	0010
+1	0001	0001	0001
+0	0000	0000	0000
-0	1000	1111	(0000)
-1	1001	1110	1111
-2	1010	1101	1110
-3	1011	1100	1101
-4	1100	1011	1100
-5	1101	1010	1011
-6	1110	1001	1010
-7	1111	1000	1001

Fig. 5 Tabella contenente i codici bipolari più utilizzati

PARAMETRI CARATTERISTICI DI UN DAC

Questi parametri sono strettamente legati alla precisione con la quale viene realizzata la rete resistiva del DAC, alla stabilità della tensione di riferimento V_{RIF} e alla qualità dell'amplificatore operazionale usato. I più significativi sono:

- 1) *Risoluzione*. Rappresenta la più piccola variazione della tensione di uscita del DAC per una variazione unitaria del numero binario di entrata. La risoluzione Q vale:

$$Q = \frac{V_{FS}}{2^n} \text{ per un DAC a n bit in codice binario}$$

$$Q = \frac{V_{FS}}{10^d} \text{ per un DAC a d digit in codice BCD}$$

- 2) *Errore di offset o di fuori zero*. Se il codice di entrata di un DAC unipolare è costituito da una parola binaria con tutti i bit a zero la tensione di uscita deve essere anch'essa a zero.

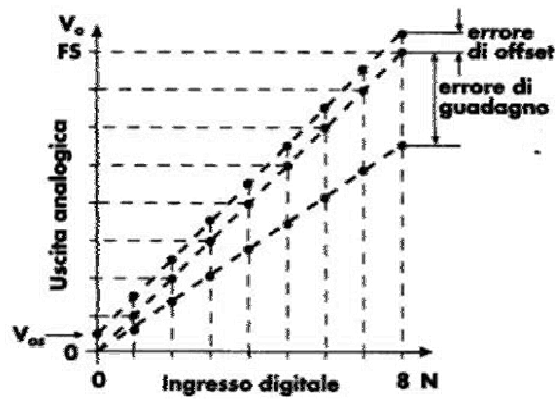


Fig. 6 Risposta di un DAC in cui si evidenzia l'errore di offset

- 3) *Errore del fattore di scala.* Se il codice di entrata è costituito da una parola binaria a tutti 1, la tensione di uscita deve essere quella massima. In realtà essa differisce da quella teorica di una quantità detta errore del fattore di scala o errore di guadagno.
- 4) *Linearità.* In un DAC ideale la curva caratteristica ottenuta unendo tutti i vertici della gradinata deve essere una retta, ma in realtà essa è una curva. Si definisce linearità di un DAC il massimo scostamento tra la caratteristica reale e quella ideale. Nei DAC commerciali la linearità è contenuta entro $\pm Q/2$.
- 5) *Linearità differenziale.* In un DAC ideale ad incrementi uguali del numero binario di entrata devono corrispondere incrementi uguali della tensione di uscita. In realtà esiste una diversità tra le ampiezze dei vari gradini la cui massima deviazione è definita linearità differenziale. Nei DAC commerciali la linearità è contenuta entro $\pm Q/2$.

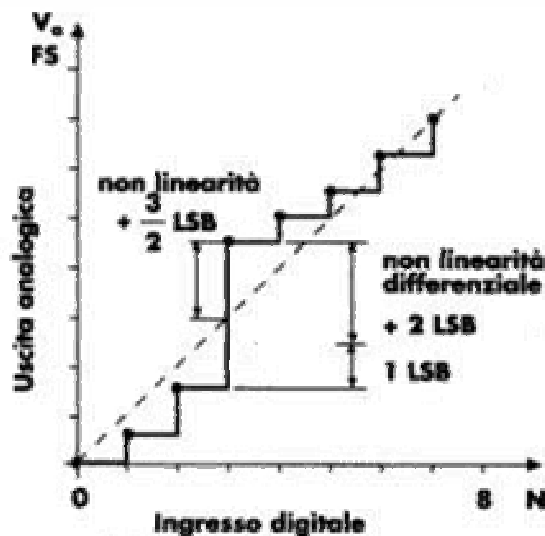


Fig. 7 Risposta di un DAC in cui si evidenzia l'errore di linearità

- 6) *Monotonicità.* Se la linearità differenziale è contenuta entro $\pm Q/2$ ad ogni incremento unitario dell'entrata corrisponde un incremento della tensione di uscita. Se cioè non si verifica si dice che l'uscita non è monotona. In sostanza la curva caratteristica deve essere rappresentata da una serie di gradini tutti di uguale ampiezza. Questo problema non si pone nei DAC integrati.

- 7) *Transitori di uscita.* Quando il codice di entrata cambia configurazione binaria i interruttori elettronici del DAC aprendosi provocano delle repentine variazioni di corrente e tensione che, a causa delle inevitabili capacità parassite, creano dei transitori nella risposta del DAC. Quando il codice di entrata cambia in modo da coinvolgere tutti i bit, ad esempio da 0111 a 1000, i transitori di uscita risultano più ampi anche se di breve durata e ciò perché la commutazione degli interruttori del DAC non è istantanea. Come conseguenza a una commutazione più lenta, per esempio da 0 a 1 rispetto da 1 a 0, per un breve istante la tensione di uscita si porta a zero e successivamente si genera un impulso detto glitch o spike che può raggiungere un'ampiezza pari alla metà della tensione di fondo scale V_{FS} . Tali impulsi vengono eliminati mediante dei circuiti interni al DAC.
- 8) *Sensibilità alla temperatura.* A parità di ingresso l'uscita di un DAC presenta delle variazioni con la temperatura che il costruttore specifica per mezzo del coefficiente di temperatura espresso in parti per milione per grado centigrado, ppm/°C.

CONVERTITORE DAC0830

Il convertitore DAC0830 è un convertitore digitale-analogico a 8 bit basato su una rete di resistenze R-2R e quindi presenta due uscite in corrente. Il circuito è costituito da due registri ad 8 bit ciascuno dei quali realizzato da 8 flip-flop D, da una rete di resistenze R-2R e da una logica combinatoria di controllo.

In figura 8.a e 8.b si riporta a sua volta la piedinatura e lo schema a blocchi del DAC0830.

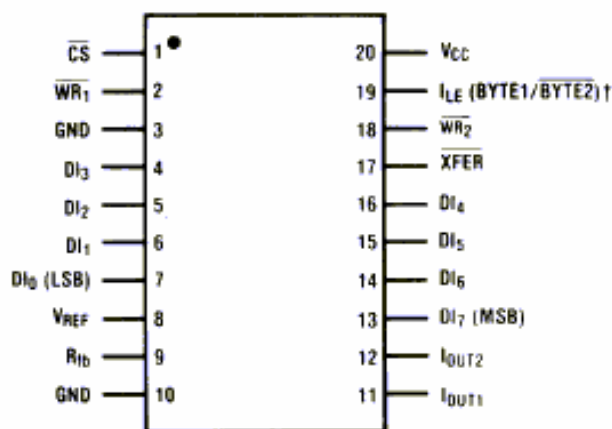


Fig. 8.a Piedinatura DAC0830

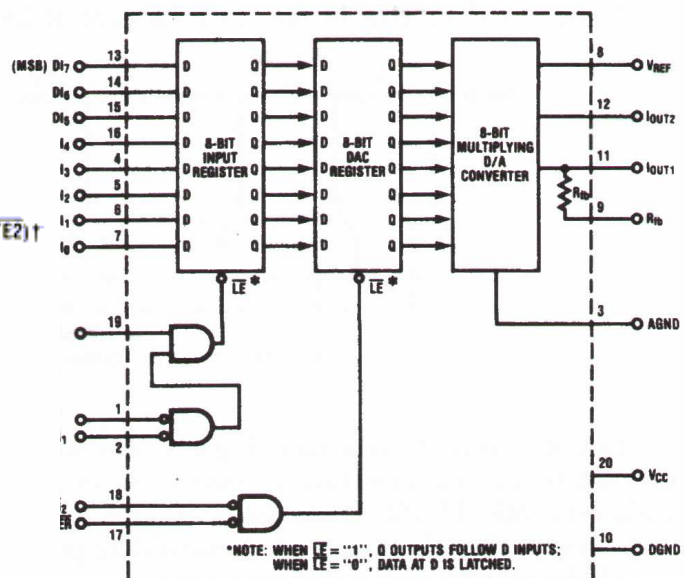


Fig. 8.b schema a blocchi del DAC0830

Se \overline{LE} (latch-enable) viene portato a livello basso si ha la memorizzazione della parola binaria applicata agli ingressi di ciascun registro; mentre se $\overline{LE} = 1$ le uscite inseguono gli ingressi. Le funzioni booleane della linea \overline{LE} del primo e del secondo registro valgono:

$$\overline{LE} = ILE \cdot \overline{CS} \cdot \overline{WR}_1 \quad (\text{per il registro di ingresso})$$

$$\overline{LE} = \overline{WR}_2 \cdot \overline{XFER} \quad (\text{per il registro DAC})$$

Quindi per il primo registro, il caricamento avviene ponendo $\overline{WR}_1 = 0$ se $ILE = 1$ e $\overline{CS} = 0$. Il dato rimane memorizzato nel registro se $\overline{WR}_1 = 1$.

Se $\overline{XFER} = 0$, ponendo $\overline{WR}_2 = 0$, si trasferisce il dato digitale dal registro di ingresso al registro DAC. Oltre a quelle già citate, il circuito presenta altre linee:

DI₀-DI₇: Ingressi digitali. Il bit DI₀ è quello meno significativo (LSB), mentre DI₇ è quello più significativo (MSB).

I_{OUT1}: Corrente di uscita 1. E' massima se gli ingressi sono tutti 1 e vale 0 se gli ingressi sono tutti a 0.

I_{OUT2}: Corrente di uscita 2. E' il contrario di I_{OUT1} per cui si ha per ogni ingresso digitale: $I_{OUT1} + I_{OUT2} = K$.

R_{fb}: Resistenza di feedback. E' cablata all'interno del chip.

V_{REF}: Tensione di riferimento. A questo ingresso si deve applicare una sorgente di tensione costante di valore compreso tra -10V e +10V.

\overline{CS} Chip select (attiva bassa). In combinazione con \overline{ILE} abilita \overline{WR}_1 .

ILE Input latch enable (attiva alta).

Le resistenze R e R_{fb} del ladder network valgono 15K. Il codice digitale d'ingresso controlla la posizione dei deviatori elettronici e quindi le correnti I_{OUT1} e I_{OUT2}.

La tecnica del doppio registro obbliga il dato digitale ad attraversare due registri prima di essere applicato alla rete di resistenze. Ciò consente di convertire il dato presente nel secondo registro mentre nel primo è già memorizzato il dato successivo.

Se si vuole la conversione in tempo reale bisognerà porre $\overline{LE} = 1$ per entrambi i registri.

Il DAC0830 può essere utilizzato in diverse configurazioni a seconda delle necessità. Per ottenere l'uscita in tensione è necessario impiegare un A.O. connesso in configurazione convertitore corrente-tensione invertente come si riporta in figura 9, per cui:

$$V_O = -R_{fb} \cdot I_{OUT1} = -R_{fb} \cdot \frac{V_{REF}}{R} \cdot \frac{D}{256} = -\frac{V_{REF}}{256} \cdot D$$

Il massimo valore di tensione in valore assoluto vale:

$$V_{O_{max}} = \frac{V_{REF}}{256} \cdot 255 < V_{REF}$$

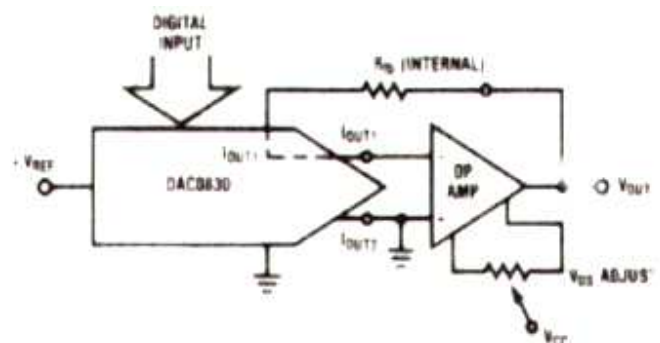


Fig. 9

CONVERTITORI ANALOGICO-DIGITALE ADC

Se l'informazione esterna è di tipo analogica è necessario, affinché il computer possa elaborarla, che venga trasformata in un segnale digitale. Il problema che si pone è inverso a quello del DAC dato che si vuole convertire un segnale analogico variabile nel tempo in un segnale digitale che analizzato in un intervallo di tempo finito può assumere finiti valori. L'operazione di acquisizione di una tensione analogica è affidata al convertitore digitale analogico. In figura 10 si riporta lo schema logico di un convertitore ADC.

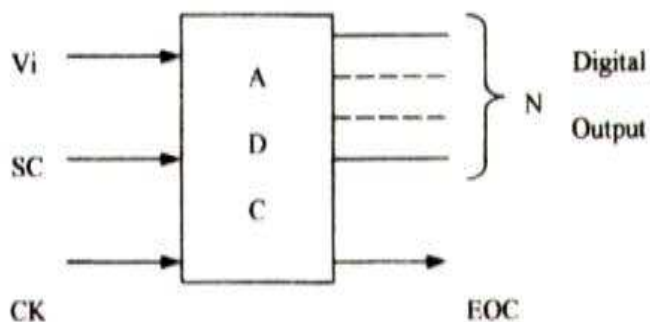


Fig. 10 Schema logico di un convertitore ADC.

Dove:

- V_i è la tensione analogica da convertire tipicamente compresa tra 0 e 5V negli ADC unipolari e tra -5V e +5V in quelli bipolari;
- N è il numero binario di uscita proporzionale a V_i ;
- SC è un segnale digitale detto di Start Conversion attivo sul fronte di salita o di discesa che abilita il convertitore ADC alla conversione;
- EOC è un segnale digitale detto End Of Conversion che cambia stato logico quando il convertitore ha finito la conversione. Segnala che il numero binario di uscita ha assunto il corretto valore di conversione ed è quindi disponibile all'utente;
- CK è il segnale di clock necessario al sincronismo delle circuiterie interne del convertitore interno del convertitore.

La conversione da analogico a digitale avviene attraverso una serie di passaggi costanti di campionamento e confronto del segnale d'entrata con un segnale digitale linearmente crescente, quest'ultimo rappresentato dal clock. La conversione termina quando l'errore della conversione si riduce ad un valore inferiore dell'errore stabilito, che dipende dalla soluzione del convertitore.

La relazione matematica che intercorre tra il numero binario di uscita e la tensione di ingresso V_i è:

$$V_i = K \cdot N = K \cdot (B_0 \cdot 2^0 + B_1 \cdot 2^1 + \dots + B_{n-1} \cdot 2^{n-1})$$

Procedendo come per il DAC si ha:

$$V_i = V_{FS} \left(\frac{B_{n-1}}{2} + \frac{B_{n-2}}{2^2} + \dots + \frac{B_1}{2^{n-1}} + \frac{B_0}{2^n} \right)$$

Nel processo di conversione da analogico a digitale (detto anche quantizzazione) che realizza una corrispondenza tra tensione V_i e codice binario d'uscita si commette quindi un errore denominato quanto Q o risoluzione dell'ADC, che vale:

$$Q = \frac{V_{FS}}{2^n}$$

Il quanto rappresenta la minima variazione della tensione V_i necessaria a produrre un incremento (o decremento) unitario del numero binario d'uscita.

In figura 11 si riporta la caratteristica di trasferimento di un ADC in cui si mostra che la configurazione binaria di uscita si incrementa di una unità per ogni aumento di V_i . Per n sufficientemente grande la curva caratteristica tende ad una retta passante per l'origine.

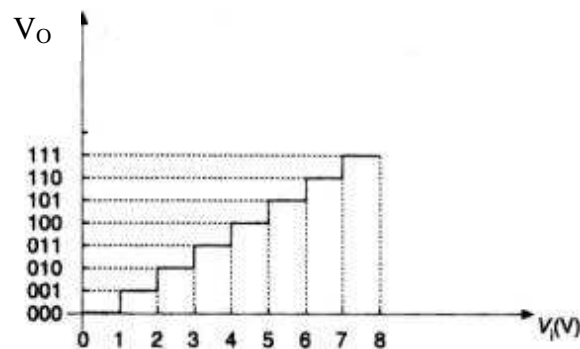


Fig. 11 Curva caratteristica di trasferimento di un ADC

Dalla figura 11 si ricava che il numero binario di uscita è costituito da tutti 1 se la tensione di entrata è pari a:

$$V_{i_{max}} = (2^n - 1) \cdot Q = \frac{2^n - 1}{2^n} \cdot V_{FS} = V_{FS} - Q$$

La conversione analogica digitale può essere realizzata mediante numerose tecniche circuitali atte a migliorare alcuni parametri del convertitore rispetto ad altre. In particolare ad un buon ADC si richiede di avere un errore di quantizzazione e un tempo di conversione i più piccoli possibile. Le principali soluzioni circuitali sono le seguenti:

1. convertitore a conteggio o a gradinata;
2. convertitore ad approssimazione successiva;
3. convertitore a rampa semplice;
4. convertitore a doppia rampa;
5. convertitore parallelo o flash;
6. convertitore a conversione di frequenza;
7. convertitore a servo-tipo o tracking.

CONVERTITORE ADC AD APPROSSIMAZIONE SUCCESSIVA

Il convertitore ADC ad approssimazione successiva è il più usato nella pratica poiché consente di ottenere buone prestazioni sia in velocità di conversione che in risoluzione. La caratteristica principale di questo tipo di convertitore è che il tempo di conversione è indipendente dalla tensione di ingresso ed è costante. Questo convertitore presenta la precedente caratteristica dato che la conversione avviene attraverso dei passi costanti e anche perché il convertitore è funzione solo della frequenza del segnale di clock da applicare al SAR e dal numero di bit della parola binaria in uscita. Si riporta in figura 12 lo schema a blocchi di un convertitore ad approssimazione successiva. Il funzionamento si basa sull'utilizzo di un particolare circuito sequenziale denominato SAR (Successive Approximation Register). Questo dispositivo genera una parola di codice che viene corretta, dopo il confronto tra il campione V_i da convertire e la tensione V_D in uscita dal DAC, fino a quando la differenza risulta minore di un valore fissato.

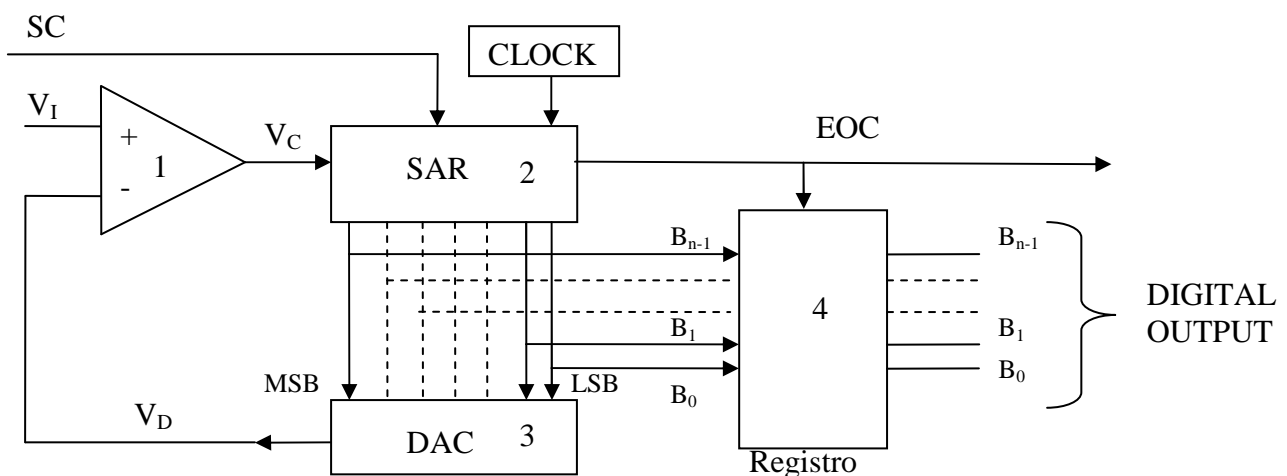


Fig. 12 Schema a blocchi di un convertitore ad approssimazione successiva

Il circuito è costituito dai seguenti componenti:

1. comparatore senza isteresi, la cui uscita V_C si porta a 0 se la tensione $V_D > V_i$;
2. registro ad approssimazioni successive, SAR, che in corrispondenza di ogni impulso di clock trasferisce il livello logico di V_C su una linea di uscita per volta, iniziando dal bit più significativo MSB e continuando con il bit di peso immediatamente più basso fino al bit meno significativo B_0 LSB.
3. DAC, che ha la funzione di trasferire il segnale D/A.
4. visualizzatore o registro di uscita, ha il compito di memorizzare il dato digitale di uscita del SAR e renderlo disponibile all'utente.

Si riporta il principio di funzionamento di un convertitore a 4bit:

1. il processo di conversione ha inizio attivando il segnale SC, di Start Conversion, che abilita al funzionamento il SAR. Si ipotizza V_i costante e maggiore di 0V.
2. Al primo impulso di clock il SAR pone ad 1 il bit più significativo, MSB, e tutti gli altri bit a zero. Quindi si ha la seguente configurazione:

B_3	B_2	B_1	B_0
1	0	0	0

I bit di uscita dal SAR rappresentano l'entrata del DAC che trasforma i bit in un segnale analogico, che viene successivamente confrontato con V_i . Dal confronto si hanno due valori possibili di V_C nei seguenti casi:

$V_C=0$	se	$V_D > V_i$	$B_3=0$
$V_C=1$	se	$V_D < V_i$	$B_3=1$

3. al secondo impulso di clock, B_2 viene posto a 1 e gli altri a 0. Naturalmente B_3 già pesato può assumere il valore 1 o 0, si ottiene la seguente configurazione:

B_3	B_2	B_1	B_0
0 / 1	1	0	0

il DAC trasforma il segnale d'uscita del SAR in analogico e viene confrontato con V_i :

$V_C=0$	se	$V_D > V_i$	$B_2=0$
$V_C=1$	se	$V_D < V_i$	$B_2=1$

4. quando arriva il terzo impulso di clock, B_1 viene posto ad 1 e tutti gli altri bit a 0. si ottiene:

B_3	B_2	B_1	B_0
0 / 1	0 / 1	1	0

Il DAC effettua le stesse operazioni descritte precedentemente.

5. quando arriva il quarto impulso di clock, B_0 viene posto ad 1 e tutti gli altri bit già pesati possono assumere due valori 0/1.

B_3	B_2	B_1	B_0
0 / 1	0 / 1	0 / 1	1

Il DAC effettua le stesse operazioni descritte precedentemente.

6. La conversione termina quando anche l'ultima cifra è stata pesata e confrontata con la V_i . Infine solo l'ultima conversione viene memorizzato dal registro e visualizzato dal visualizzatore.

Per convertire la tensione V_i in un codice a 4 bit sono stati necessari 5 impulsi di clock, il primo per portare il SAR allo stato iniziale 1000 e l'ultimo per trasferire il dato digitale nel registro di uscita e renderlo disponibile all'utente. In generale il numero di impulsi di clock n_{CK} per una convertitore a n bit vale:

$$n_{CK} = n + 2$$

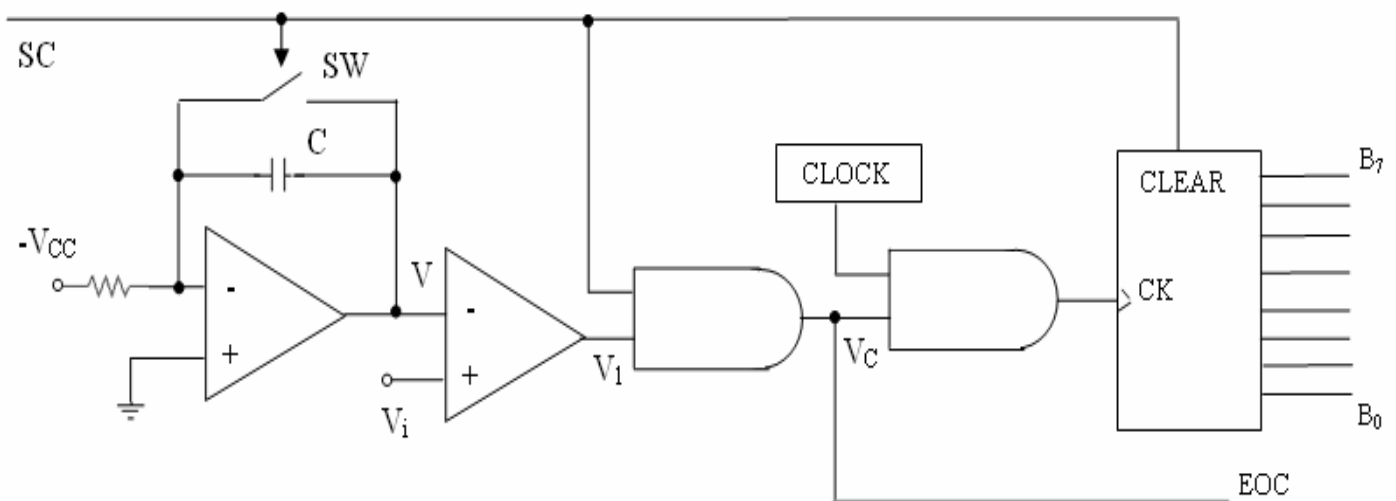
Detto T_{CK} il periodo del segnale di clock, il tempo di conversione T_C vale:

$$T_C = n_{CK} \cdot T_{CK}$$

Dalla formula espressa precedentemente si può arrivare alla conclusione, già espressa precedentemente, che il tempo di conversione è indipendente dalla tensione di ingresso ed è costante.

CONVERTITORE ADC A RAMPA SEMPLICE

Si riporta in figura 13 lo schema a blocchi di un convertitore analogico-digitale a rampa semplice.



Il segnale analogico V_i , supposto costante e maggiore di zero durante la conversione, viene confrontato con la rampa V prodotta dall'integratore invertente.

Si riporta il principio di funzionamento di un convertitore ADC a rampa semplice:

1. La conversione ha inizio quando si porta la linea SC a zero. Lo SW rimane chiuso per un tempo tale a scaricare la C, la quale si era caricata precedentemente (il tempo di scarica della C, τ_{SC} , risulta molto piccolo dato che la R dell'interruttore è molto piccola). Con l'attivazione di SC si è anche attivato il CL del contatore che lo fa azzerare.
2. quando si incomincia la conversione l'integratore è a 0 e quindi prevale l'ingresso non invertente del comparatore e si ottiene $V_1 = V_{CC}$ per il tempo in cui $V_i > V$. Si suppone che lo stato stabile del monostabile sia $V_1 = V_{CC}$ che così fornisce 1 in uscita.
3. l'uscita del monostabile e il clock, che si alterna, vanno a rappresentare l'entrata di una porta AND. L'uscita della AND, la quale si alterna dato l'alternanza del clock, raggiunge il contatore che si incrementa.
4. V si presenta come una rampa di salita che cresce assecondo la formula:

$$V = \frac{V_{CC}}{C \cdot R} \cdot t$$

5. Quando V raggiunge e supera V_i si ha $V_1 = -V_{CC} = 0$. Di conseguenza anche il monostabile va a 0 e all'ingresso della porta AND si presentano il clock e un segnale fisso $V_C = 0$. Essendoci un segnale fisso sempre a 0 si ha l'uscita dell'AND sempre pari a 0 e si ha il contatore bloccato. Una rete combinatoria trasferisce il risultato dal contatore sul visualizzatore.

Poiché dopo il tempo t si ha:

$$V = V_i; \text{ l'uscita dell'integratore assume l'espressione: } V_i = \frac{V_{CC}}{C \cdot R} \cdot t = V$$

$$\text{Da cui si ricava: } t = \frac{R \cdot C}{V_{CC}} \cdot V_i \quad t = N \cdot T_{CK}$$

$$\text{E quindi: } N = \frac{R \cdot C}{V_{CC} \cdot T_{CK}} \cdot V_i$$

Dalle formule riportate precedentemente si evince la proporzionalità tra la tensione di ingresso V_i e il codice digitale N di uscita. In sede di progetto sarà opportuno tarare la costante di tempo RC e il periodo di clock T_{CK} in modo che per $V_i = V_{CC} = V_{FS}$ si abbia $N = 256$.

ADC 0804

È un convertitore analogico digitale ad 8 bit ad approssimazioni successive in tecnologia CMOS che si presenta in un contenitore DIP a 20 pin e funziona con una sola tensione di alimentazione $V_{CC}=+5V$.

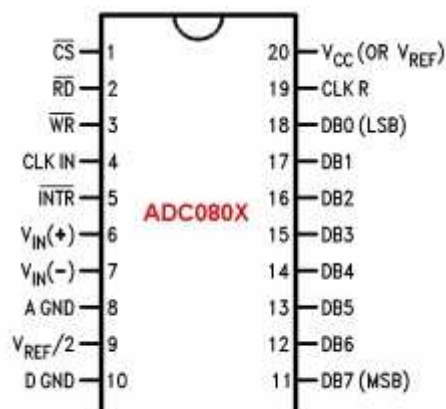


Fig.14 ADC 0804

Possiede due ingressi analogici $V_{in}(+)$ e $V_{in}(-)$ che comandano un differenziale interno a guadagno unitario sicché il dato digitale di uscita risulta proporzionale alla differenza $V_{in}(+) - V_{in}(-)$. Il circuito di clock è interno ma la frequenza f_{CK} dipende dalla rete esterna R-C che si inserisce. È possibile applicare un clock dall'esterno ma, in tal caso, si evita l'uso della rete R-C. Inoltre è molto importante la presenza di un amplificatore differenziale all'interno dell'integrato il cui compito è quello di eliminare il segnale di rumore V_N che agisce sulle 2 entrate. L'amplificatore presente nell'integrato è un' amplificatore differenziale a guadagno unitario, riportato in figura 14.a.

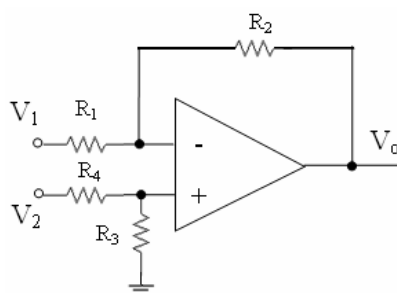


Fig.14.a

Si ipotizza:

$$\frac{R_2}{R_1} = \frac{R_3}{R_4}$$

Con:

$$V_o = \frac{R_2}{R_1}(V_2 - V_1) = 1 \cdot (V_2 - V_1)$$

Se agisce un segnale di rumore V_N su entrambi gli ingressi, si otterrebbe:

$$V_o = 1 \cdot (V_2 + V_N - V_1 + V_N) = 1 \cdot (V_2 - V_1)$$

Dall'espressione precedente si nota che il segnale viene eliminato grazie l'utilizzo dell'amplificatore differenziale.

Se al piedino VREF/2 si applica una tensione costante pari 2.5V, l'intervallo dei valori della tensione di ingresso (span) va da 0 a 5V.

Il convertitore presenta le seguenti linee di controllo:

- \overline{CS} : Chip Select (attiva bassa). Se $\overline{CS}=1$ non è possibile avviare alcuna conversione ed inoltre le uscite digitali si pongono in tri-state.
- \overline{WR} : Write (attiva bassa). Ponendo $\overline{CS} = \overline{WR} = 0$ si inizia una conversione A/D e la linea INTR, se bassa, si porta a livello alto.
- \overline{RD} : Read (attiva bassa). Ponendo $\overline{CS} = \overline{RD} = 0$ si rende disponibile in uscita il byte convertito purché la precedente conversione ha avuto termine. Anche in questo caso INTR, se bassa, va a livello alto.
- \overline{INTR} : Interrupt (attiva bassa). E' una linea di uscita che si trova nello stato alto durante la conversione e compie la transizione negativa quando tale conversione ha termine. Questa linea ritorna a livello alto quando si attiva una successiva conversione ($\overline{CS} = \overline{WR} = 0$) o quando si predispone la lettura ($\overline{CS} = \overline{RD} = 0$).

Le principali caratteristiche del convertitore sono:

- Tensione di alimentazione: $V_{CC}=+5V$
- Tensione d'ingresso analogica: $0 < V_i < +5V$
- Tempo di conversione: $t_c=100\mu s$
- Frequenza di clock consigliata: $f_{CK}=640KHz$ ($R=10K$, $C=150pF$)
- Start Conversion: $\overline{CS} = \overline{WR} = 0$
- End Of Conversion: transizione negativa di \overline{INTR}
- Lettura: $\overline{CS} = \overline{RD} = 0$
- I valori di tensione degli ingressi di controlli digitali (\overline{CS} , \overline{RD} , \overline{WR}) sono TTL standard compatibili.

Principio di funzionamento

In figura 15 si mostra lo schema a blocchi del convertitore ADC0804. Gli interruttori elettronici del DAC interno sono attivati in sequenza da una logica ad approssimazioni successive. È esaminato per primo il bit più significativo e dopo 8 confronti (64 impulsi di clock) il risultante codice digitale a 8 bit è trasferito in un registro di uscita e successivamente viene attivato il segnale d'interruzione \overline{INTR} . Una conversione può essere interrotta attivando successivamente un comando di inizio conversione che si ottiene ponendo: $\overline{CS} = \overline{WR} = 0$.

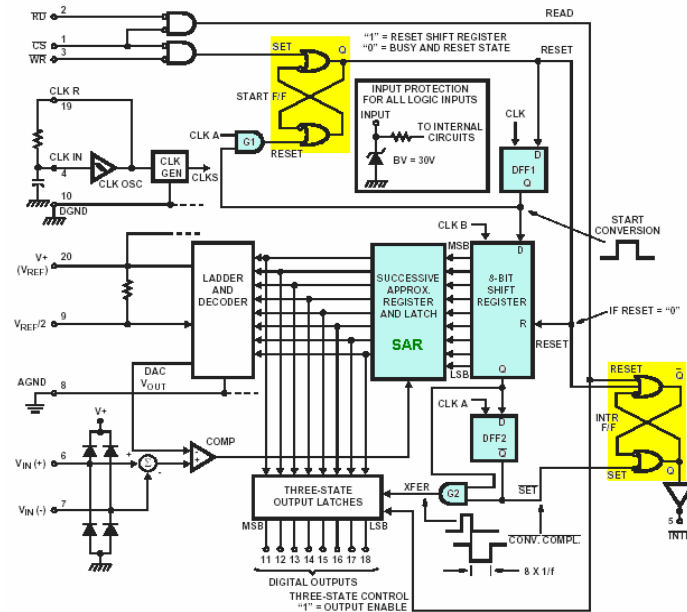


Fig.15 Struttura interna ADC0804

Il convertitore può lavorare in modo libero (free running mode), figura 16, collegando $\overline{\text{INTR}}$ a $\overline{\text{WR}}$ e tenendo $\overline{\text{CS}} = 0$; sarà necessario, in tal caso, inviare dall'esterno il primo impulso che ponga $\overline{\text{WR}} = 0$.

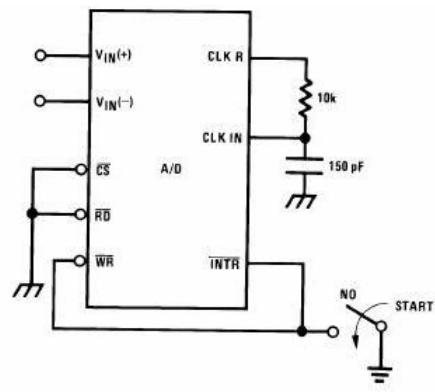


Fig.16 Free running mode

Sulla transizione negativa di $\overline{\text{WR}}$ il SAR si blocca e lo shift-register si azzerava e rimane azzerato finché si ha: $\overline{\text{CS}} = \overline{\text{WR}} = 0$. La conversione ha inizio 8 impulsi di clock dopo che $\overline{\text{CS}}$ o $\overline{\text{WR}}$ compie la transizione positiva. Portando $\overline{\text{CS}} = \overline{\text{WR}} = 0$ il flip-flop start si pone ad 1, si azzerava lo shift register e il flip-flop $\overline{\text{INTR}}$, si porta a 1 il F/F1 che comanda l'ingresso D dello shift register e la porta G1 che resetta il flip flop start in sincronismo al clock. La conversione ha inizio e il bit 1 caricato nello shift register scorre nelle sue celle finché è depositato nella LATCH1. l'uscita della porta G2 comanda l'output latches alla memorizzazione del dato campionato dalle uscite del SAR e contemporaneamente $\overline{\text{INTR}}$ va bassa.

Si osservi che $\overline{\text{SET}}$ rimane nello stato basso per 8 impulsi di clock per cui anche $\overline{\text{INTR}}$ rimane basso almeno per tale intervallo. Per la lettura si pone $\overline{\text{CS}} = \overline{\text{RD}} = 0$ e di conseguenza si resetta il flip flop INTR e quindi $\overline{\text{INTR}}$ compie la transizione positiva e sblocca dalla condizione di alta impedenza l'output latches.

ESPERIENZA PRATICA: Conversione A/D e D/A

Con l'esercitazione di laboratorio si è posti l'obiettivo di verificare il funzionamento della conversione da analogico a digitale e da digitale a analogico attraverso l'utilizzo degli integrati più noti: l'ADC0804 e il DAC0830. Nella realizzazione dell'esperienza si è proceduti nel seguente modo:

1. Verifica sperimentale del A/D e D/A attraverso l'utilizzo di un software di simulazione;
2. Realizzazione e verifica del circuito sulla bread board;
3. Realizzazione del circuito stampato. Verifica finale.

VERIFICA SPERIMENTALE DEL A/D E D/A ATTRAVERSO L'UTILIZZO DI UN SOFTWARE DI SIMULAZIONE

Inizialmente si è voluti verificare, in ambiente PSpice, il funzionamento del convertitore A/D e D/A. Si sono effettuate diverse prove per la verifica, cambiando il segnale V_I da campionario o la f_{CK} . In figura 17 si riporta lo schema elettrico.

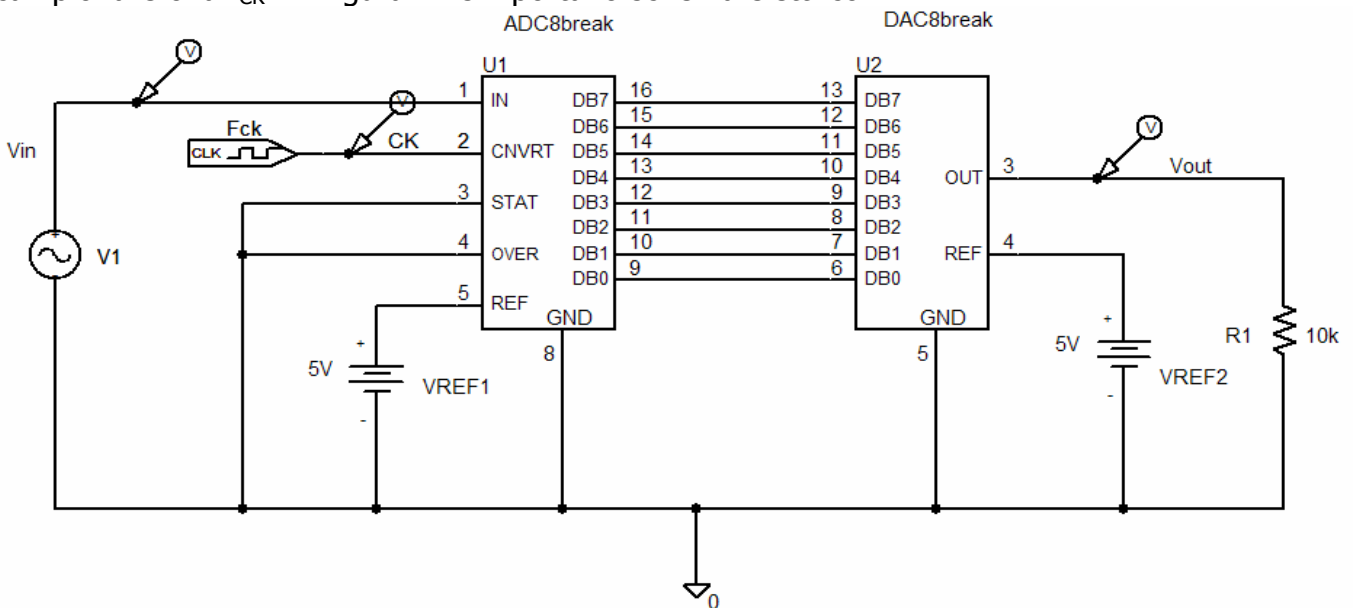


Fig. 17 Schema elettrico A/D e D/A

Si riportano in figura 17.a e 17.b le finestre dei dati assegnati al generatore di onde sinusoidale che ci fornisce la V_I , e alla f_{CK} che è pari a: $f_{CK} = \frac{1}{0,4ms} = 2,5KHz$.

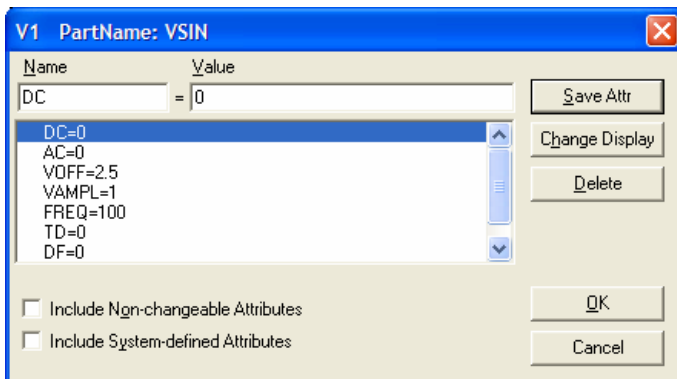


Fig. 17.a

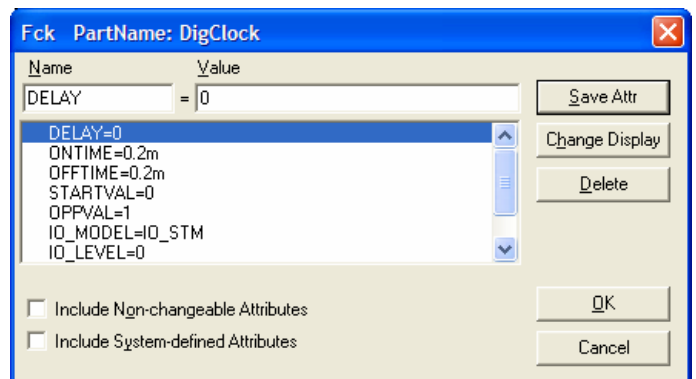


Fig.17.b

Si riporta, inoltre, in figura 18 la finestra transient con i dati utilizzati.

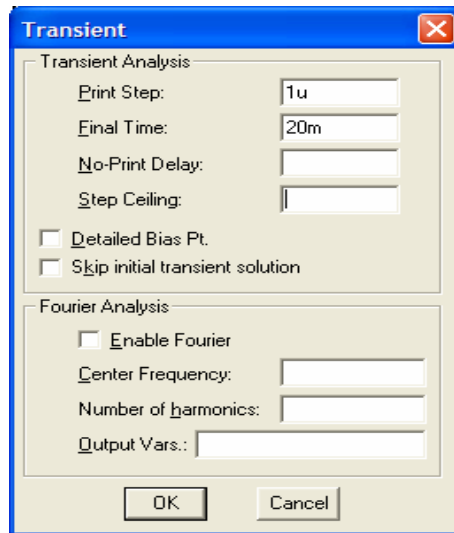


Fig. 18

Nelle figure seguenti si riportano i risultati ottenuti in simulazione in ambiente PSpice, che consentono di confrontare l'esperienza pratica con quella teorica. In figura 19 si riporta il segnale in entrata V_I mentre nella figura 19.a si mostra il segnale di clock, il quale presenta 25 campioni ogni 10ms ottenendo una discreta ricostruzione del segnale in simulazione (figura 19.b-19.c).

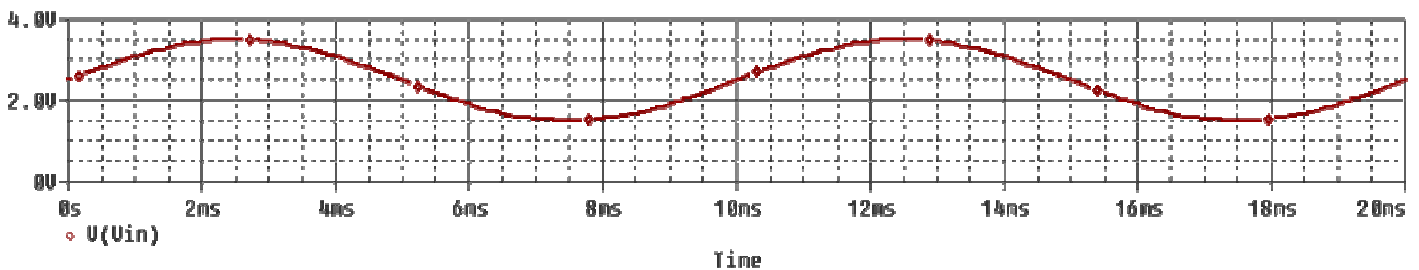


Fig. 19 Segnale in entrata V_I

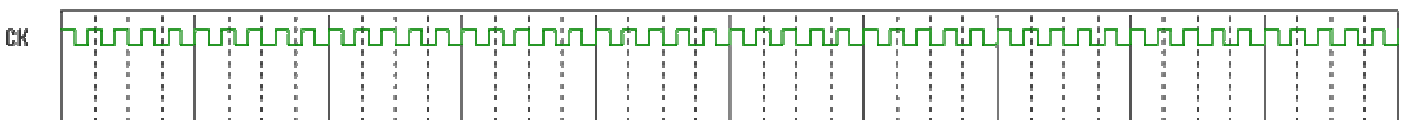


Fig. 19.a Segnale di clock a 2,5KHz

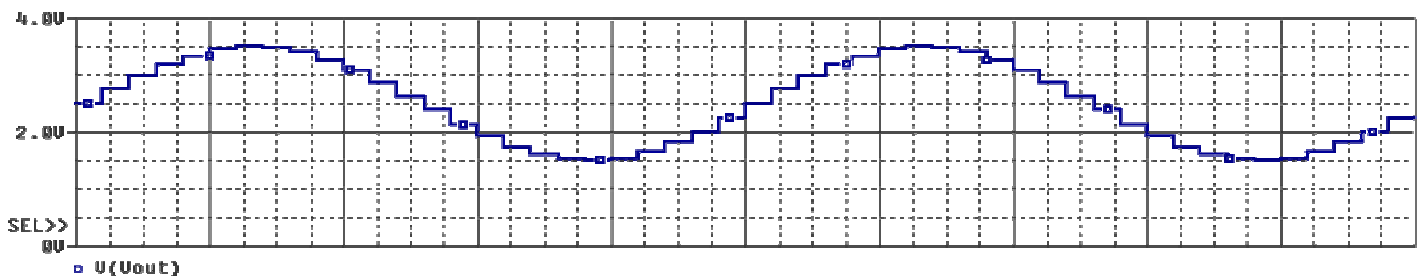


Fig. 19.b Segnale V_{OUT} all'uscita del DAC con $f_{CK}=2,5KHz$

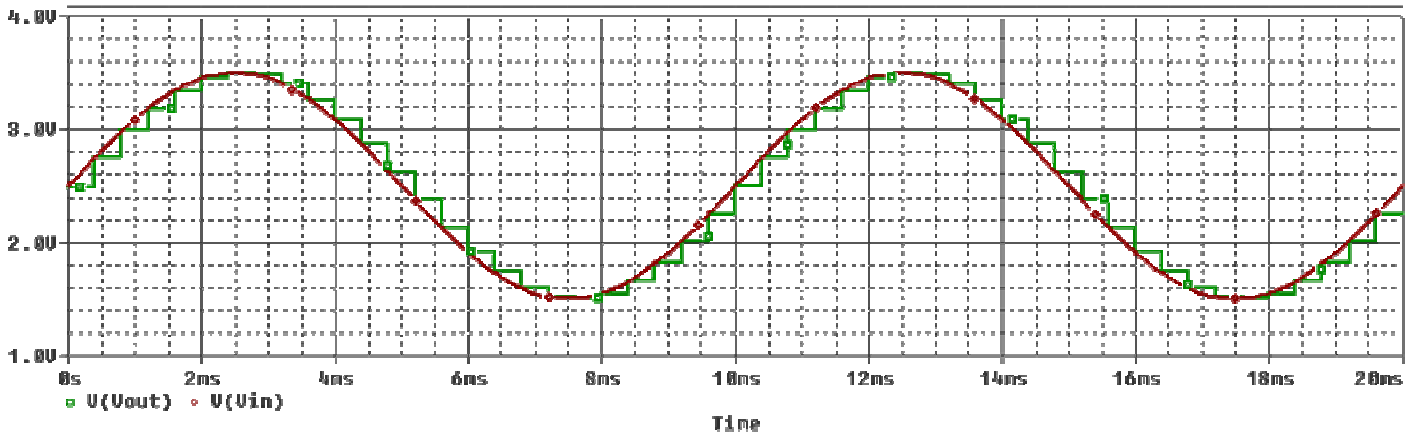


Fig. 19.c Segnale V_I e V_{OUT} messi a confronto

Successivamente si è voluti verificare sempre in ambiente PSpice, utilizzando lo stesso schema elettrico riportato in figura 17, il risultato della tensione di uscita V_{OUT} modificando la f_{CK} .

In questa seconda verifica si è impostato il valore di f_{CK} pari a: $f_{CK} = \frac{1}{1ms} = 1KHz$.

Si riporta in figura 20 i valori assegnati al segnale di clock in simulazione.

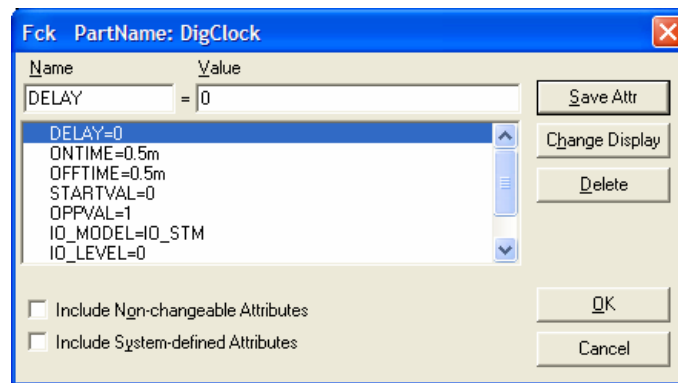


Fig. 20

In seguito in figura 20.a è riportato il segnali di clock ottenuto in simulazione il quale presenta 10 campioni ogni 10ms. Mentre in figura 20.b si riporta il segnale V_{OUT} , all'uscita del DAC, il quale si può notare che presenta un ricostruzione del segnale V_I (figura 19) meno precisa e affidabile rispetto alla simulazione effettuata con la f_{CK} impostata a 2,5KHz (figura 19.a). Infine si riporta in figura 20.c i grafici di V_I e V_{OUT} sovrapposti.

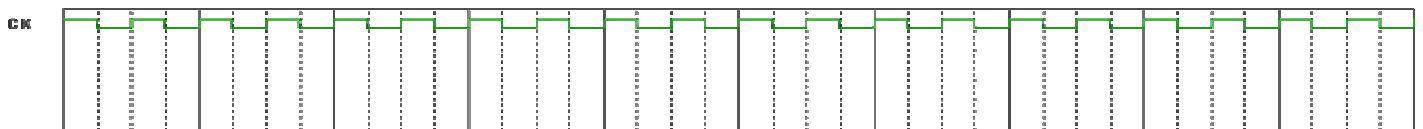


Fig. 20.a Segnale di clock a 1KHz

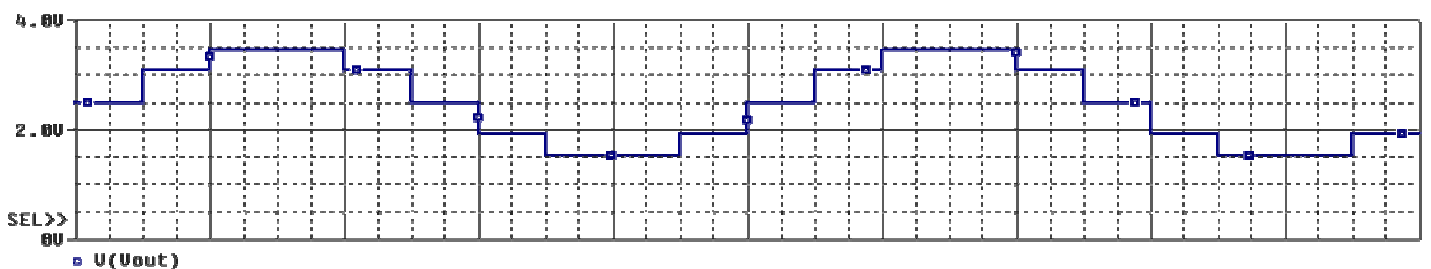


Fig. 20.b Segnale V_{OUT} all'uscita del DAC con $f_{CK}=1KHz$

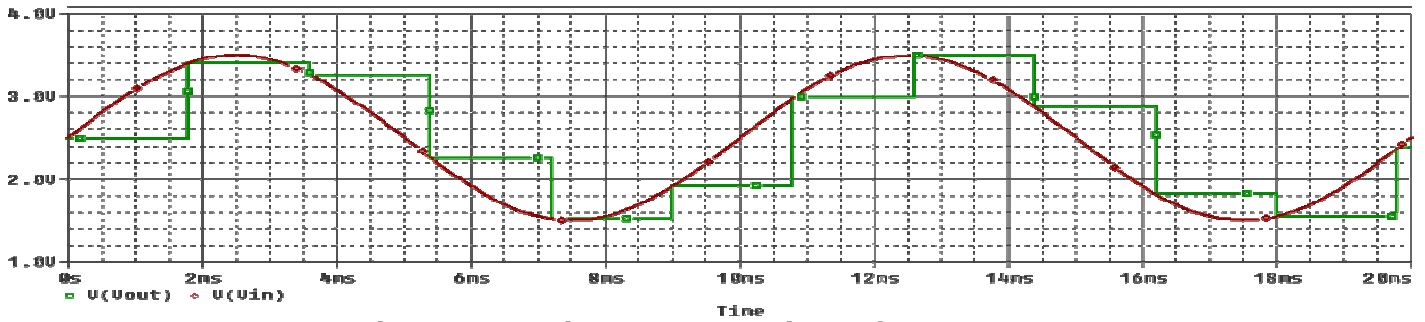


Fig. 21.c Segnale V_I e V_{OUT} messi a confronto

Come ultima simulazione in ambiente PSpice, si è voluto modificare il segnale d'entrata V_I inserendo tre generatori di onde sinusoidale, con diverse ampiezze e frequenze, in moda tale da ottenere un segnale più complesso (figura 24.a). Si riporta in figura 22 lo schema elettrico realizzato in simulazione.

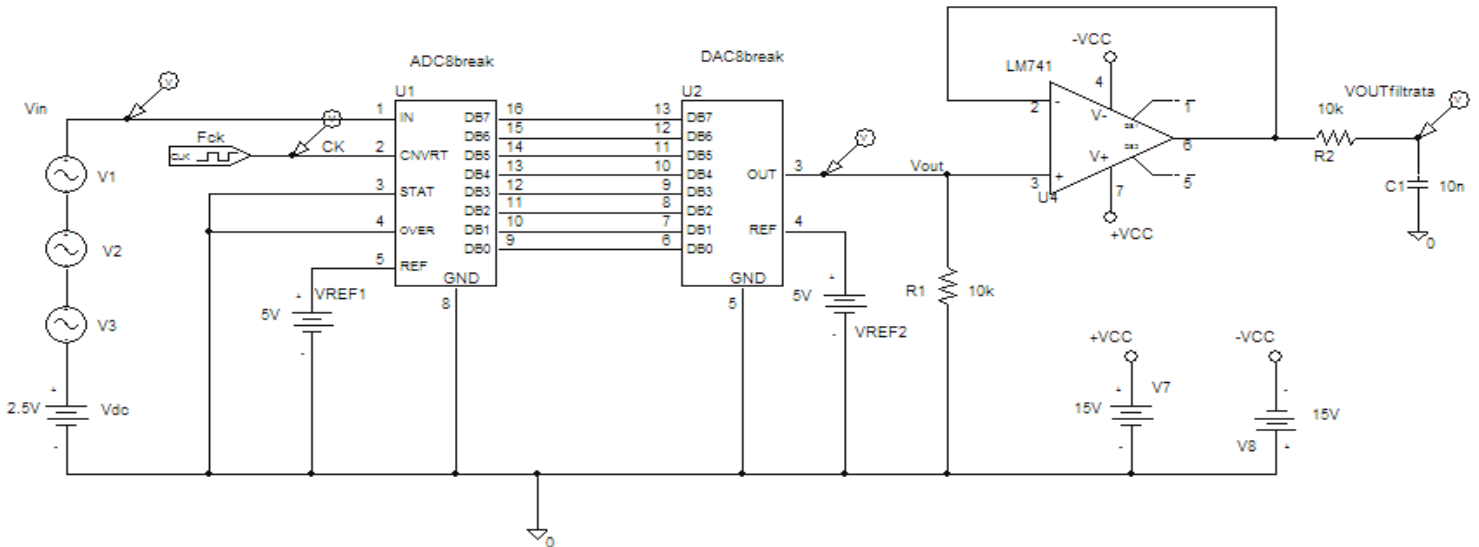


Fig. 22

Si riportano in figura 22.a, 22.b e 22.c le finestre dei dati assegnati al generatore di onde sinusoidale la cui somma di sinusoidi ci fornisce V_I .

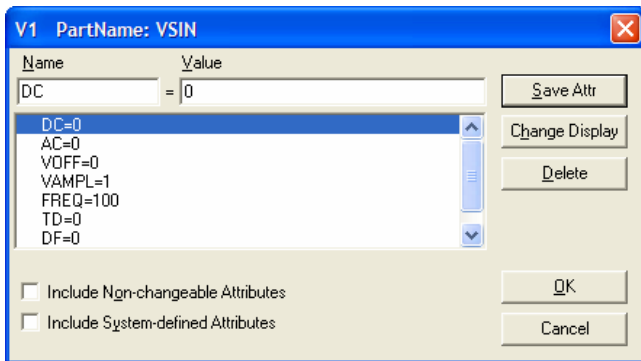


Fig. 22.a

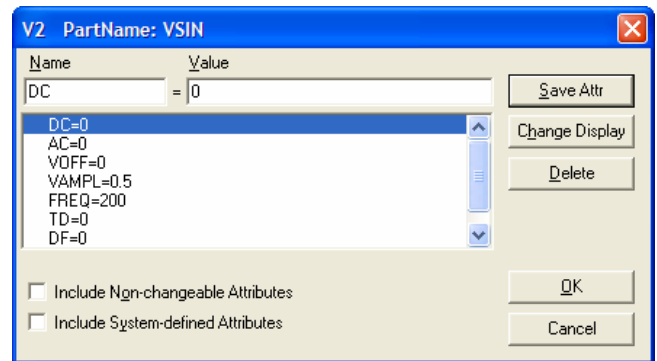


Fig. 22.b

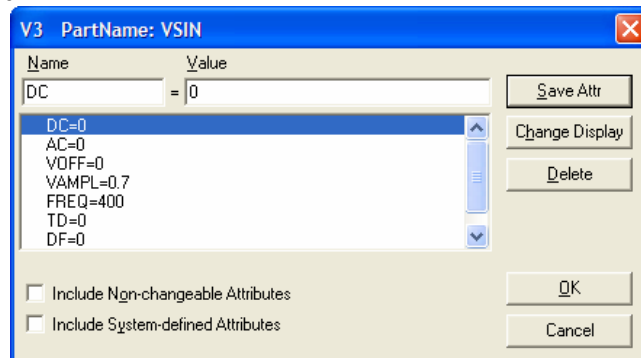


Fig. 22.c

In figura 23 si riporta il valore assegnato alla f_{CK} pari a: $f_{CK} = \frac{1}{0,4ms} = 2,5KHz$

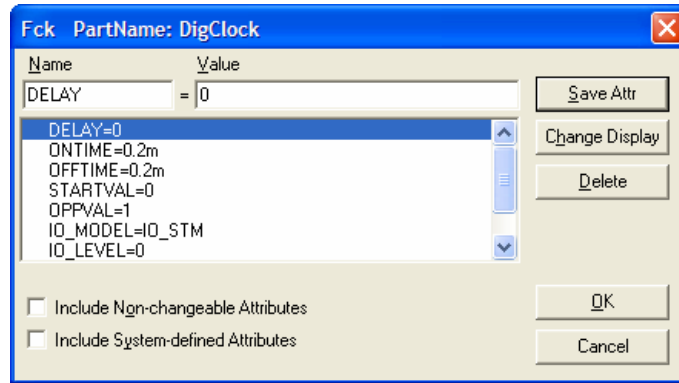


Fig. 23

Si riporta, inoltre, in figura 23.a la finestra transient con i dati utilizzati.

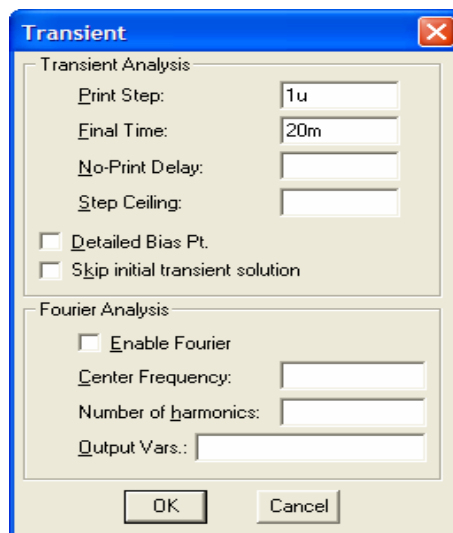


Fig. 23.a

In figura 24 si riporta il segnale di clock in simulazione il quale presenta una frequenza pari a 2,5 KHz, ottenendo 25 campioni del segnale V_I ogni 10ms.

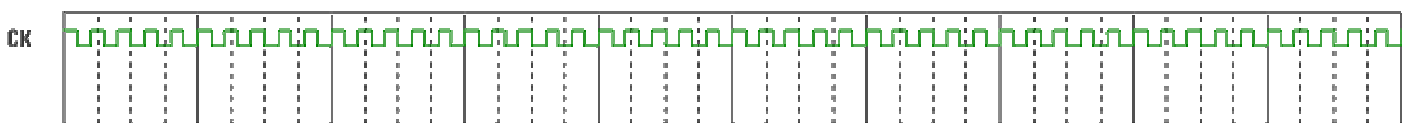


Fig. 24 Segnale di clock a 2,5KHz

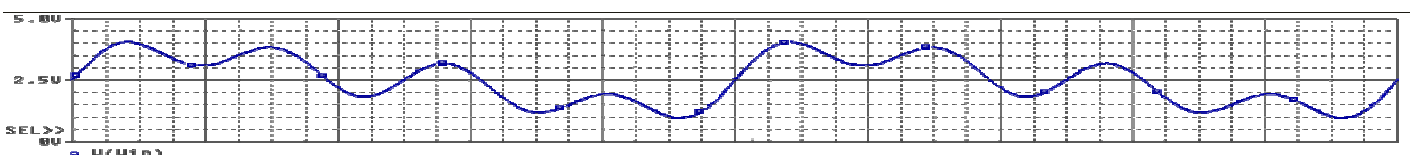


Fig. 24.a Segnale V_I

Si riporta in figura 24.b il segnale d'uscita V_{OUT} il quale presenta una ricostruzione del segnale V_I dentellata. In seguito per ottenere un segnale d'uscita meno seghettato si è inserito un filtro composto dalla resistenza R_2 e il condensatore C_1 , ottenendo il segnale V_{OUT} riportato in figura 24.c.

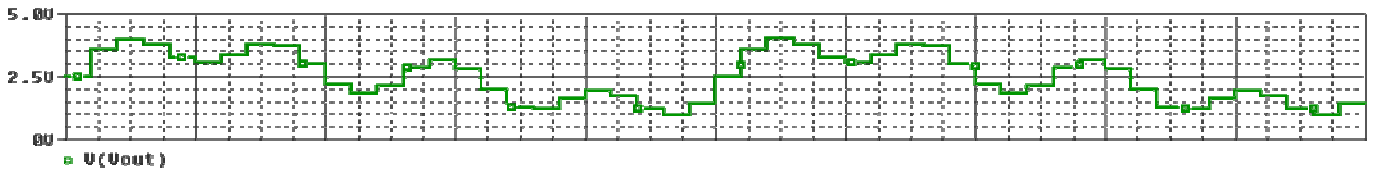


Fig. 24.b Segnale V_{OUT}

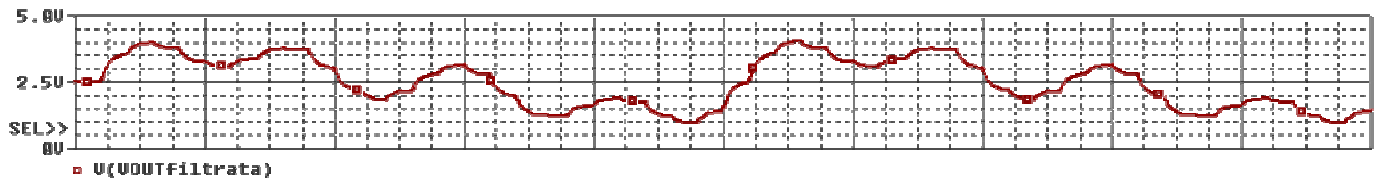


Fig. 24.c Segnale V_{OUT} filtrato

Infine nella figura 25 si mostra l'analisi di Fourier dei segnali V_I e V_{OUT} , realizzata in ambiente PSpice.

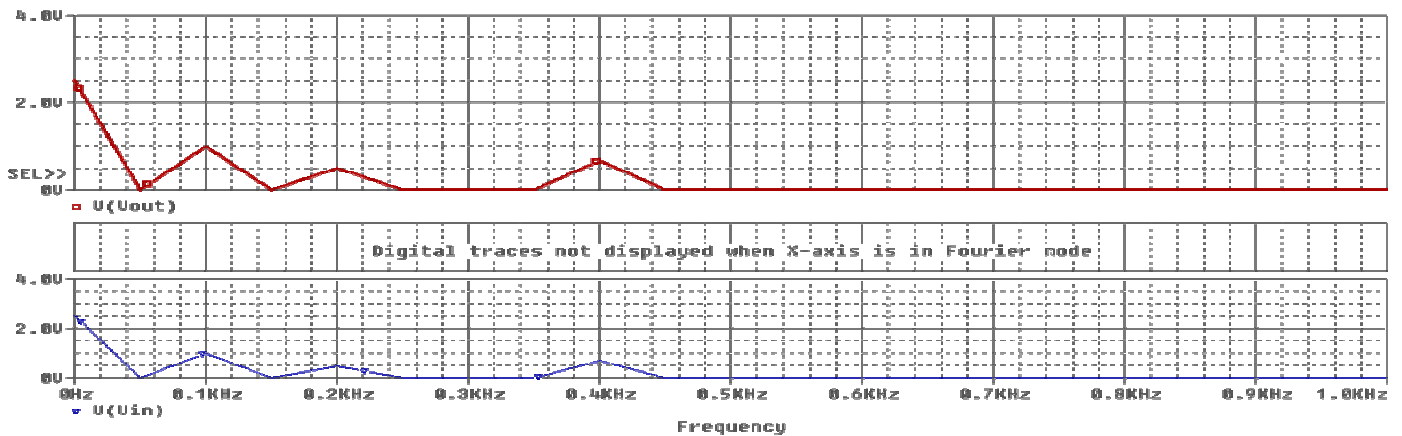


Fig. 25 Analisi di Fourier

REALIZZAZIONE E VERIFICA DEL CIRCUITO SULLA BREAD BOARD

L'operazione successiva alla simulazione è quella della realizzazione del circuito sulla bread board e verifica attraverso un oscilloscopio a doppia traccia. Si riporta in figura 26 lo schema elettrico dell'ADC e il DAC montato sulla bread board.

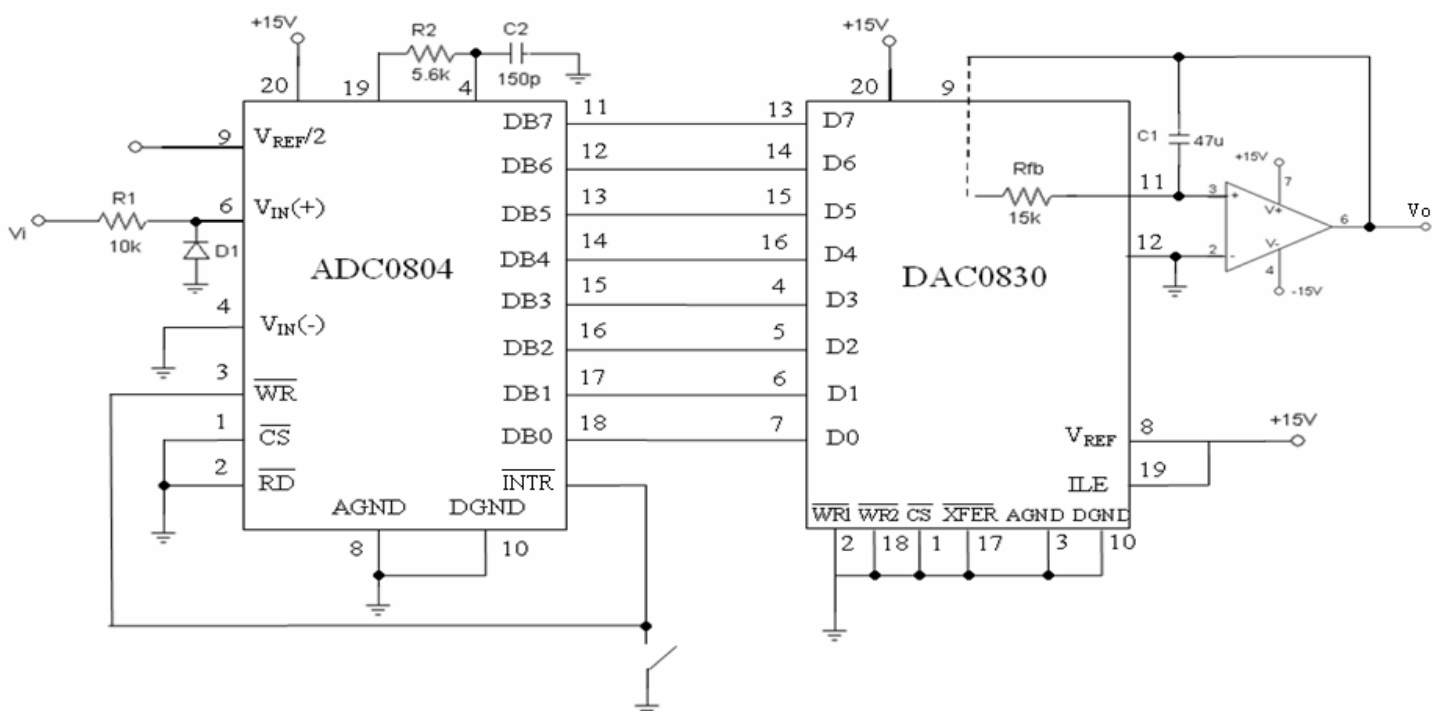


Fig. 26

Si sono utilizzati i convertitore ADC0840 e DAC0830 della National descritti precedentemente. Sul piedino 9 dell'ADC0804 sono collegati la resistenza R1 e il diodo D1 utilizzate per proteggere l'integrato da un eventuale tensione di ingresso negativa. Si riporta nelle figure 27, 27.a e 27.b le varie prove effettuate in laboratorio in cui si è modificata la frequenza f_i .

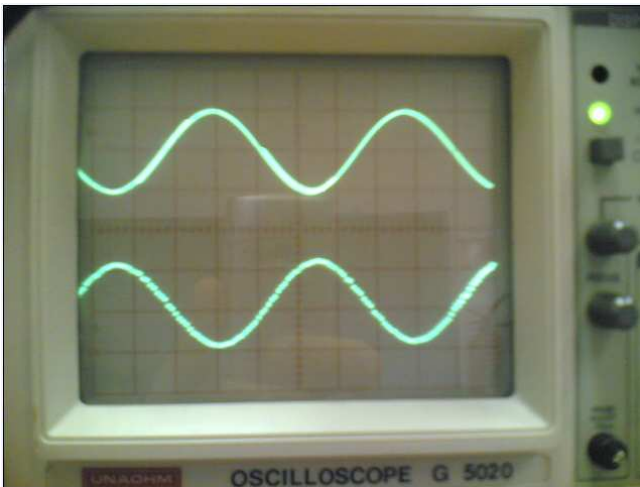


Fig. 27 $f_i = 100\text{Hz}$

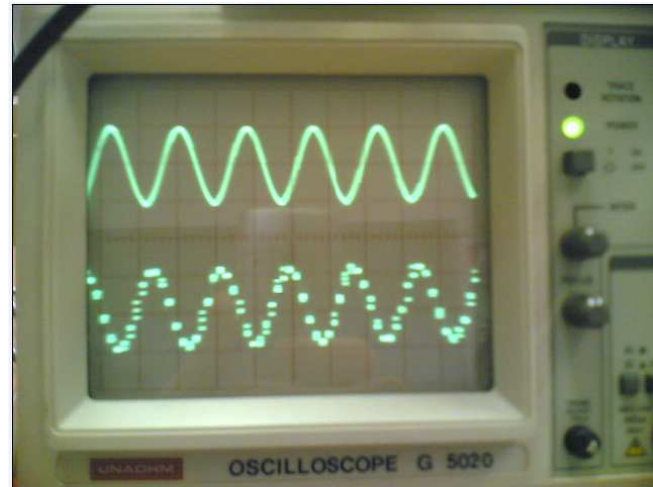


Fig. 27.a $f_i = 500\text{Hz}$

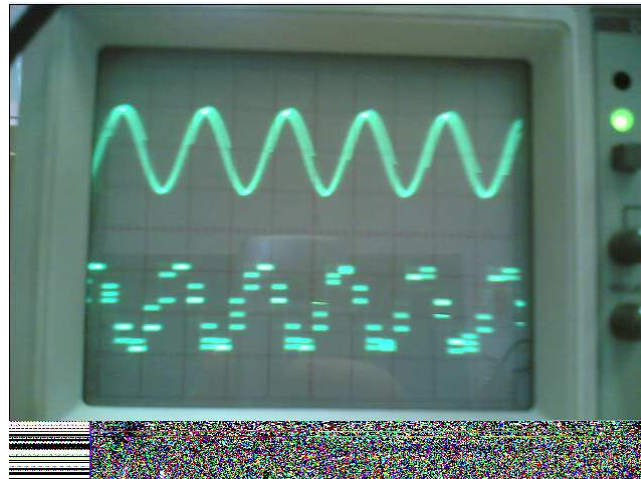


Fig. 27.b $f_i = 1\text{KHz}$

Si nota dalle immagini che aumentando la f_i si ha una ricostruzione del segnale poco affidabile. Si deduce che il ciò è dovuto dal fatto che non si rispetta il teorema del campionamento e quindi si prendono meno campioni del segnale d'entrata V_i .

REALIZZAZIONE DEL CIRCUITO STAMPATO

Infine si è passati alla realizzazione, del circuito progettato, sulla basetta utilizzando il programma Eagle Layout Editor. Il layout che si è ottenuto è riportato in figura 28 e 28.a. Successivamente alla realizzazione dei layout si è passati alla foto impressione. Inseguito si è immerso la basetta in una soluzione di acqua e sodio e poi in una soluzione di acido ferrico, quest'ultima essenziale per l'eliminazione del rame non desiderato ottenendo solo le piste marcate dalla foto impressione.

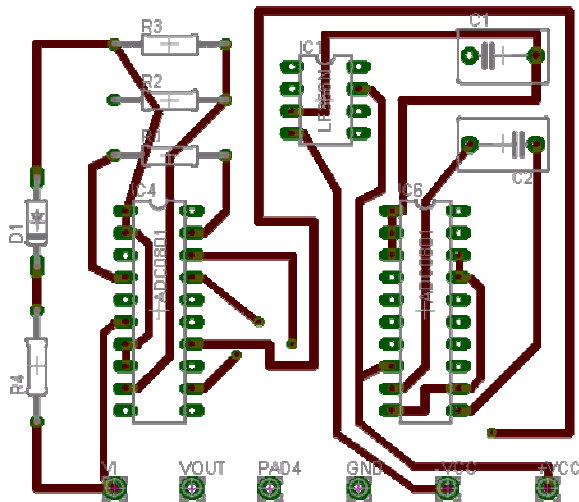


Fig. 28 Layout facciata superiore

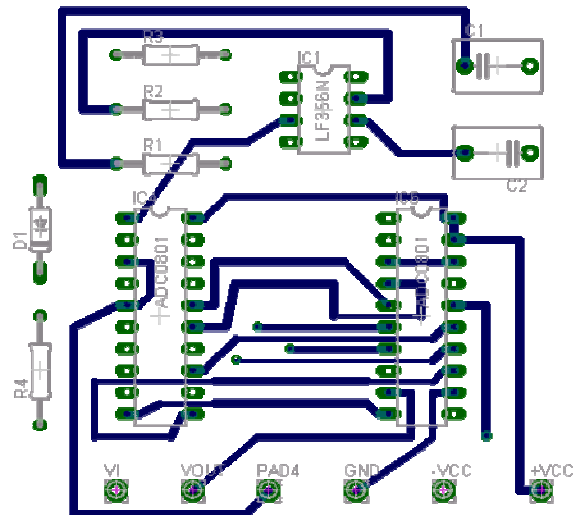


Fig. 28.a Layout facciata inferiore

In figura 29 si mostra il circuito montato su basetta..



Fig. 29 Vista superiore della basetta

Concludendo in figura 31 si riporta il progetto finito, inserito in una scatola.