



I.T.I. "Modesto PANETTI" – B A R I

Via Re David, 186 - 70125 BARI

☎ 080-542.54.12 - Fax 080-542.64.32

Internet <http://www.itispanetti.it> – email : BATF05000C@istruzione.it

Laboratorio di Telecomunicazioni

**Alunni: Donato Troccoli
Giuseppe Cantalice
Pierpaolo Vinci
Classe: V[^] E.T. A
a.s 2007/2008**

Docente: Prof. Ettore Panella

RICETRASMETTITORE DATI IN CODICE MANCHESTER

Studio teorico di un Ricetrasmittitore dati in codice Manchester con simulazione in ambiente PSpice.

CENNI TEORICI

CODIFICA MANCHESTER

La codifica Manchester viene utilizzata nelle reti locali Ethernet per evitare il trasferimento nella rete di eventuali lunghe sequenze di zeri o di uno. I segnali in logica TTL non sono idonei per essere inviati direttamente sui canali trasmissivi. È necessaria una codifica di linea che ha il compito di produrre un codice idoneo alla trasmissione. Tale codifica viene realizzata da opportuni dispositivi noti come terminali di linea. L'apparato ricevente sarà fornito di analogo terminale di linea in grado di ricostruire il codice binario trasmesso. I terminali di linea devono generare un codice in grado di soddisfare le seguenti esigenze:

- 1) il segnale di linea deve essere di tipo **bipolare a valor medio nullo** cioè privo di componente continua;
- 2) il segnale di linea deve **consentire l'estrazione del segnale di sincronismo** necessario per assicurare una corretta tempificazione degli apparati riceventi;
- 3) il segnale di linea **non deve contenere lunghe sequenze di 0 o di 1 consecutivi** che rendono difficile l'estrazione del segnale di sincronismo.

Caratteristiche del segnale codificato

Codice a due livelli simmetrici (-V, +V) :

- il valore logico **1** è codificato mediante una forma d'onda, che presenta una *transizione dal basso all'alto* a metà del periodo di clock;
- il valore logico **0** è codificato mediante una forma d'onda, che presenta una *transizione dall'alto al basso* a metà del periodo di clock.

Il codice Manchester si può ottenere eseguendo il NOR esclusivo (circuitto di coincidenza) tra il clock di sincronismo e il segnale in codice NRZ fornito dal DTE (in logica negativa). In presenza di lunghe sequenze di bit identici, l'uscita del codificatore coincide col clock o con il suo negato e quindi varia nel tempo.

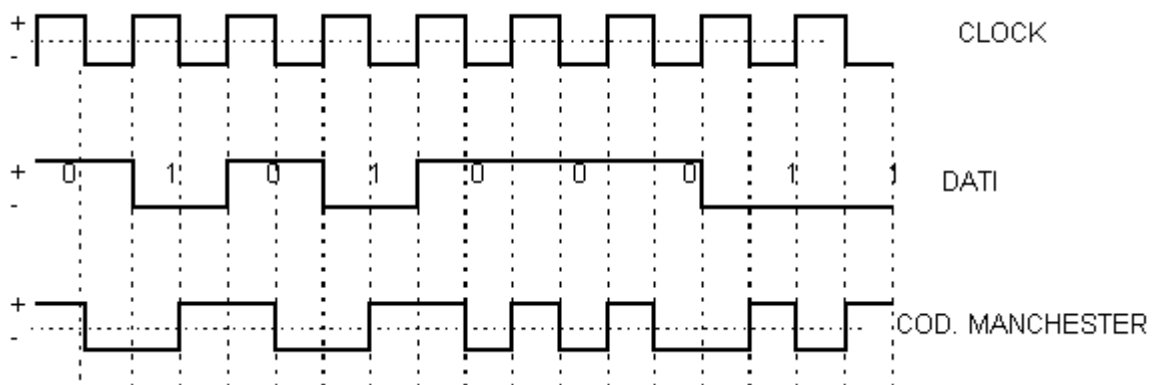
Caratteristiche dello spettro del segnale codificato :

- Valor medio $\cong 0$
- Larghezza della banda informativa $B \cong 2f_{ck}$

In realtà ci sono due convenzioni opposte per la rappresentazione dei dati. La prima fu inizialmente pubblicata da G. E. Thomas nel 1949 ed è seguita da numerosi autori (ad es. Tanenbaum). Specifica che per un bit 0 i livelli di segnale saranno: -V e +V con un livello basso nella prima parte del periodo di bit, ed un livello alto nella seconda parte. Per un bit 1 i livelli di segnale saranno opposti.

La seconda convenzione è seguita da molti autori (ad es. Stallings) e rappresenta lo standard IEEE 802.4. Stabilisce che uno 0 logico sia rappresentato da una sequenza di segnale +V e -V ed un 1 logico da una sequenza di segnale -V e +V.

Si mostra la tempificazione nel caso di segnale dati in logica negativa



Di seguito si riporta lo schema a blocchi di un trasmettitore – ricevitore che utilizza la codifica Manchester:

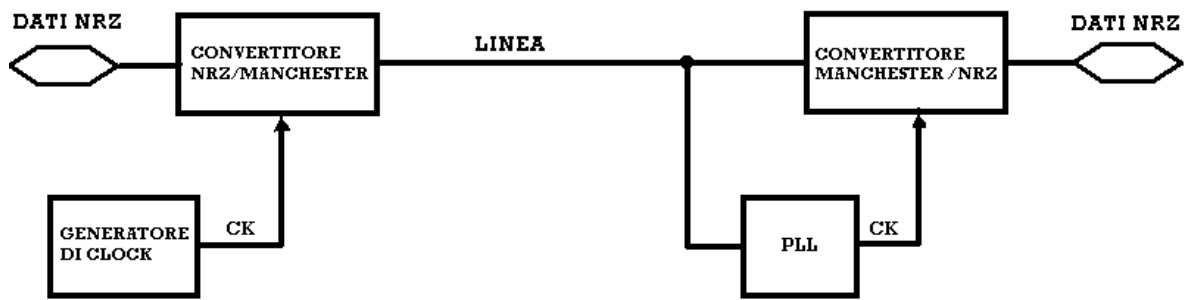


Figura 1. Schema a blocchi di un ricetrasmittitore con codifica Manchester.

Si osserva la presenza del PLL, usato in ricezione per estrarre dal segnale di clock, necessario per ricostruire il dato trasmesso.

SIMULAZIONE in ambiente PSpice

Si riporta lo schema circuitale del trasmettitore con codifica Manchester realizzato in ambiente PSpice :

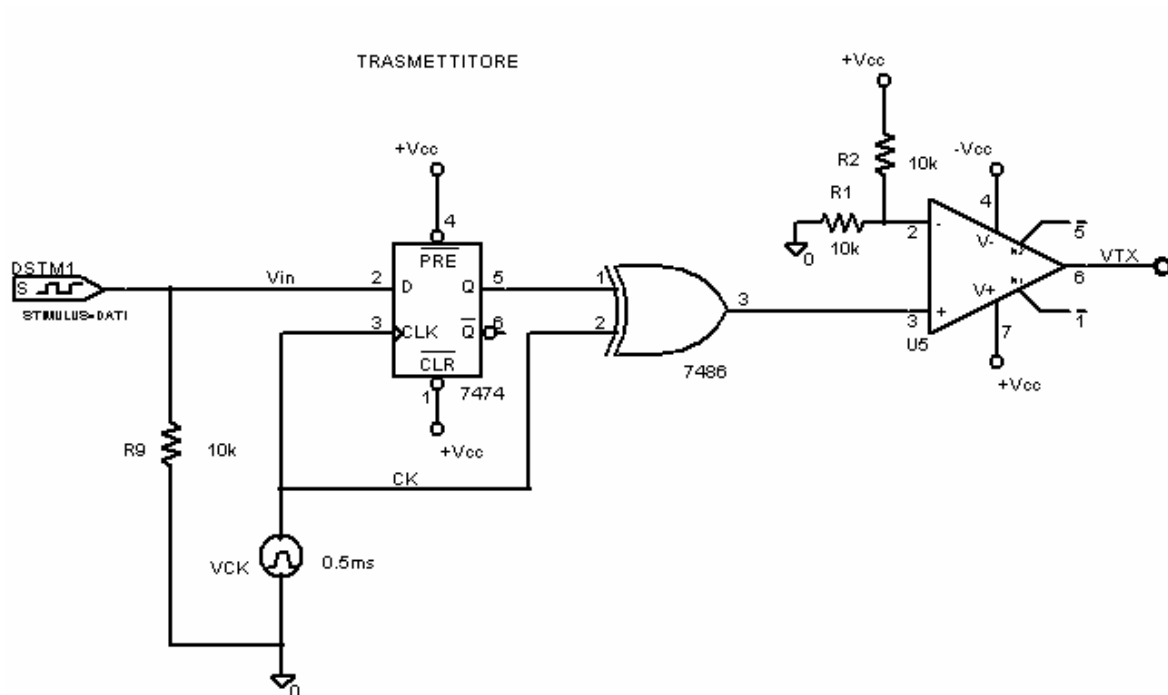


Figura 2. Schema elettrico del trasmettitore.

Il generatore di segnale binario di ingresso è costituito da un digital stimulus (DigStim) che permette di realizzare una sequenza binaria casuale mediante la procedura indicata di seguito:

Dal menù **Draw/Get new part** si preleva dalla libreria l'elemento **DigStim** e lo si posiziona nello schema.

Si clicca due volte con il tasto sinistro su di esso e si salva lo schematic in una cartella.

Successivamente si aprirà la seguente finestra e si deve cliccare su OK.

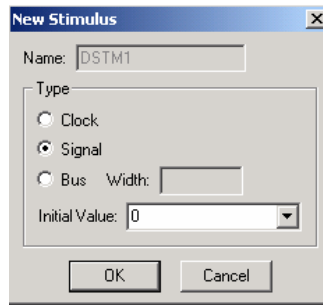


Figura 3. Settaggio.

Aperto lo stimulus editor, si deve impostare l'asse dei tempi aprendo il menù **Plot/Axis settings**, si deve settare Time al valore finale di 10ms. Premere OK.

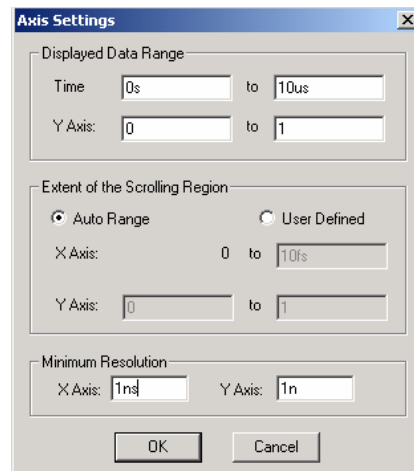


Figura 4. Impostazione asse dei tempi.

Attraverso il comando **Edit/Add** si possono creare transizioni alto-basso o basso-alto casuali cliccando sulla linea verde, come mostrato nella seguente figura.

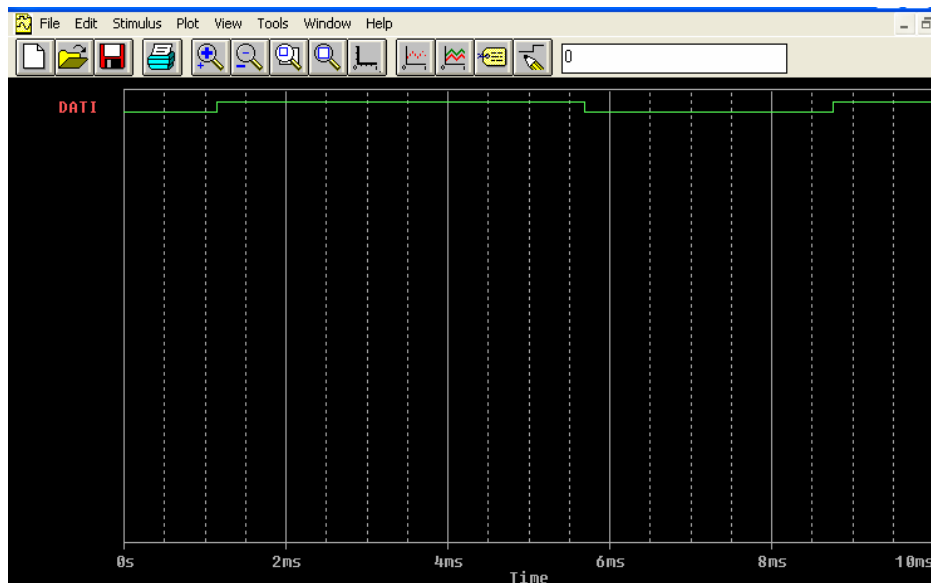


Figura 5. Stimulus editor.

I dati vengono inviati in ingresso ad un Flip-Flop di tipo D (7474), che ha la funzione di trasferire il dato dall'ingresso D in uscita Q ad ogni impulso di clock. In questo modo si effettua un'accurata **sincronizzazione del flusso dati** e ogni bit viene trasmesso in un intervallo di tempo di bit predefinito.

Il segnale di clock è generato da un VPULSE che fornisce un onda quadra di ampiezza 5 V e frequenza 2 KHz (periodo 0.5 ms). Il clock viene inviato sia nel corrispettivo ingresso del flip flop D, rendendolo attivo sul fronte di salita, e sia ad uno dei due ingressi di una XOR (7486). Al rimanente ingresso della XOR viene collegata l'uscita del FF D che corrisponde al dato sincronizzato. Il funzionamento della porta XOR viene schematizzato in figura:

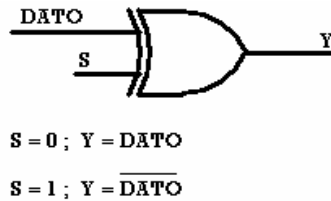


Figura 6. Funzionamento porta XOR.

In questo modo si ottiene il dato codificato con codice Manchester che per essere trasmesso in linea deve essere reso bipolare. Questa operazione viene svolta dal comparatore che si presenta come ultimo stadio del trasmettitore. Esso è alimentato a ± 5 V e la rete resistiva collegata al morsetto invertente dell'operazionale consente di ottenere una tensione di riferimento di 2.5 V. Se il valore della tensione in ingresso al morsetto non invertente è inferiore a 2.5 V in uscita si avrà una tensione di -4 V, se invece è superiore a 2,5 V in uscita si otterranno +4 V.

Nella seguente fig. 7 si riporta lo schema del ricevitore :

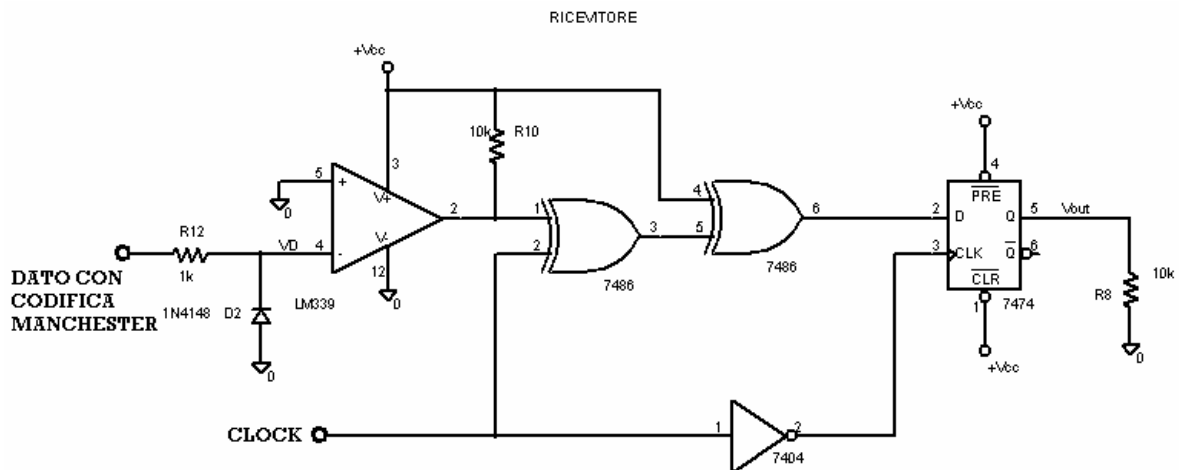


Figura 7. Schema elettrico del ricevitore.

Il dato codificato in trasmissione con codice Manchester giunge attraverso la linea di collegamento in ingresso al ricevitore. Il primo stadio del ricevitore è costituito da un comparatore open collector facente parte dell'integrato LM339 che viene alimentato a +5 V, ponendo tra l'uscita e + Vcc una resistenza di pull-up, indispensabile per la commutazione del segnale di uscita. Il segnale con codifica Manchester è inviato all'ingresso invertente dell'operazionale attraverso il diodo 1N4148,

collegando l'anodo a massa e il catodo alla tensione bipolare in ingresso. Il morsetto non invertente viene collegato a massa. La tensione V_N ai capi del diodo varia da $-0,7\text{ V}$ a $+4\text{ V}$ poiché quando in ingresso si presenta una tensione negativa di -4 V , il diodo entra in conduzione e ai suoi capi risulta la tensione di soglia di $-0,7\text{ V}$. Quando in ingresso c'è una tensione positiva di $+4\text{ V}$ il diodo è interdetto e al morsetto invertente giunge una tensione di 4 V .

Il comparatore si comporta da interruttore poiché se la tensione ai capi del morsetto non invertente $V_p = 0\text{ V}$ è maggiore della tensione presente al morsetto invertente V_N , in uscita vi sarà una tensione nulla. Se, invece, $V_p < V_N$ in uscita si avranno 5 V . In questo modo il segnale in ingresso al ricevitore è invertito e reso unipolare. Il segnale ottenuto è inviato ad uno dei due ingressi di una porta XOR, mentre l'altro ingresso è collegato al segnale di clock. Si premette che nella realtà il segnale di clock deve essere ricostruito dal segnale che viaggia in linea attraverso un PLL. In simulazione, per semplificare lo schema, si è effettuato un ulteriore collegamento al clock generato dal VPULSE.

In definitiva in uscita dal primo XOR si ottiene il dato trasmesso invertito; per ottenere quello effettivo e cioè per invertirlo nuovamente lo si invia ad uno dei due ingressi di un secondo XOR, mentre l'altro ingresso viene posto a $+V_{cc}$. Il segnale in uscita dal secondo XOR è il dato trasmesso con la presenza di spike. Per eliminarli, il segnale è inviato in ingresso al FF D e attraverso il segnale di clock reso attivo sui fronti di discesa con un inverter, il dato in uscita dal FF presenta un contenuto informativo pari a quello trasmesso. Questo avviene se la lettura del dato è fatta sui fronti di discesa del clock.

In figura si riporta lo schema elettrico completo di trasmettitore e ricevitore.

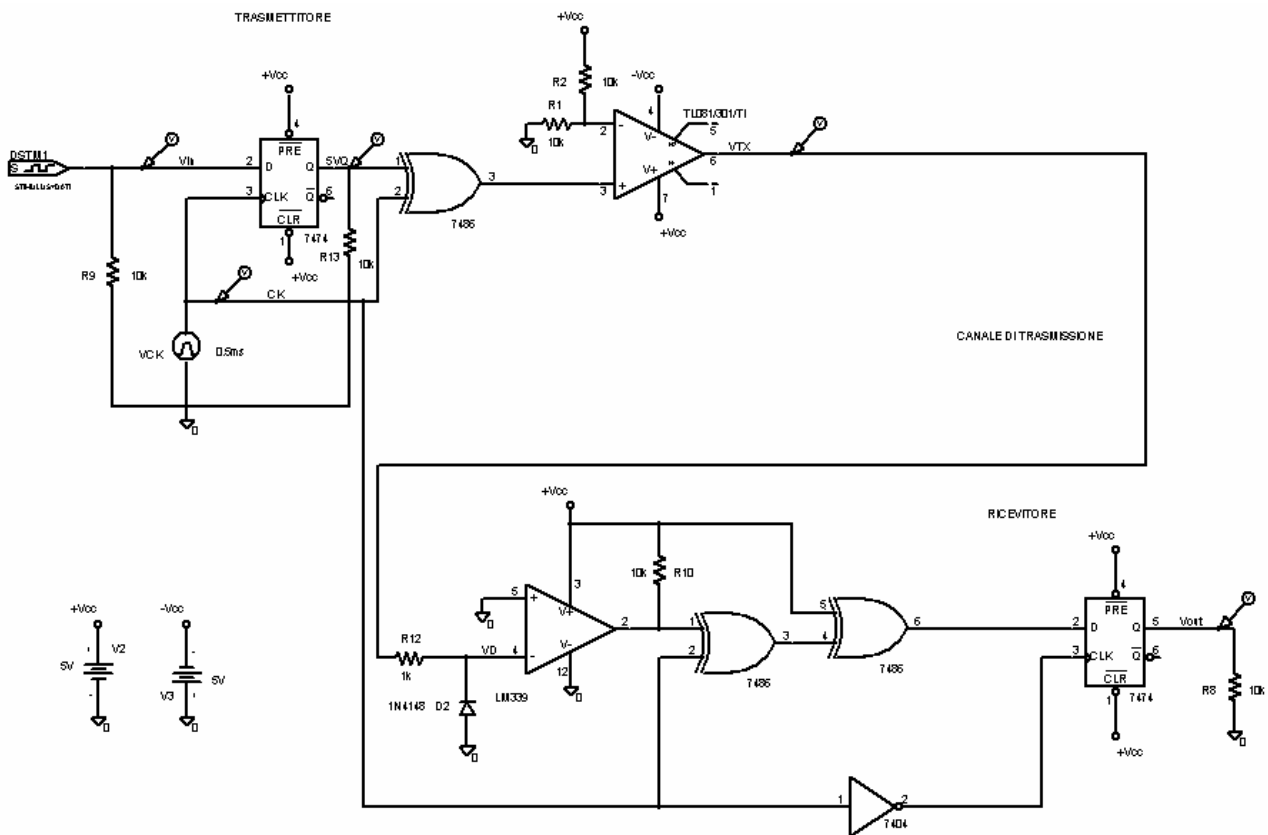


Figura 8. Schema elettrico del ricetrasmittitore.

Si è impostato lo stato iniziale dei Flip-Flop dal menù **Analysis/Setup/Digital Setup** come riportato in figura:

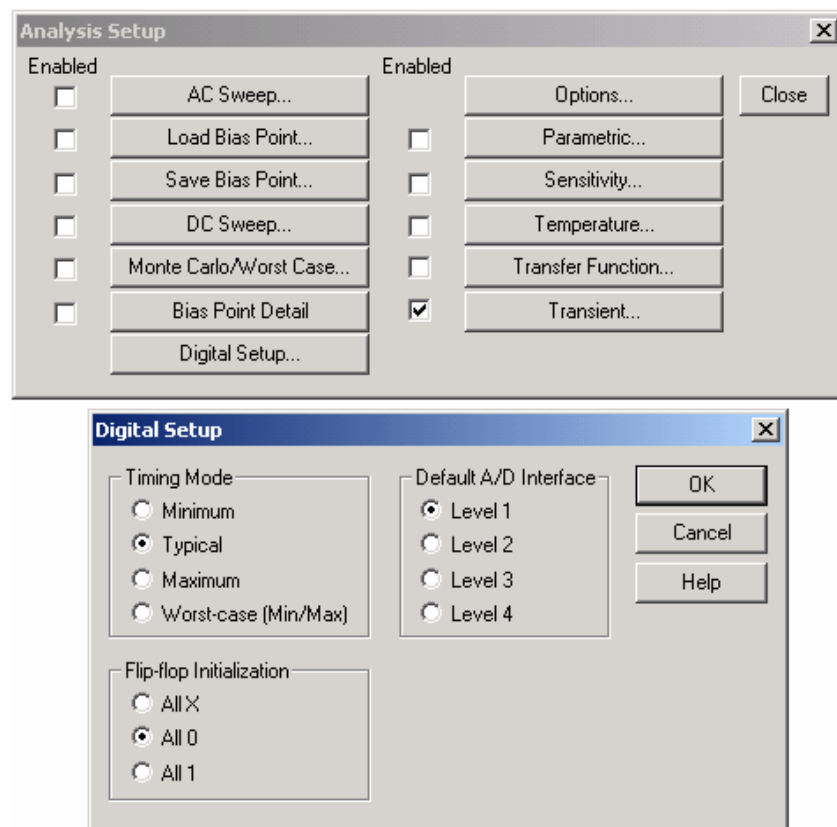


Figura 9. Impostazione iniziale di simulazione.

Le resistenze di terminazione poste dopo il dato, dopo il primo FF e in uscita al ricevitore servono unicamente per una migliore visualizzazione grafica dei segnali in simulazione. In figura si riportano gli andamenti temporali del dato, del segnale di clock, del dato in uscita dal primo FF, del segnale trasmesso e del segnale in uscita al ricevitore ottenuti dalla simulazione.

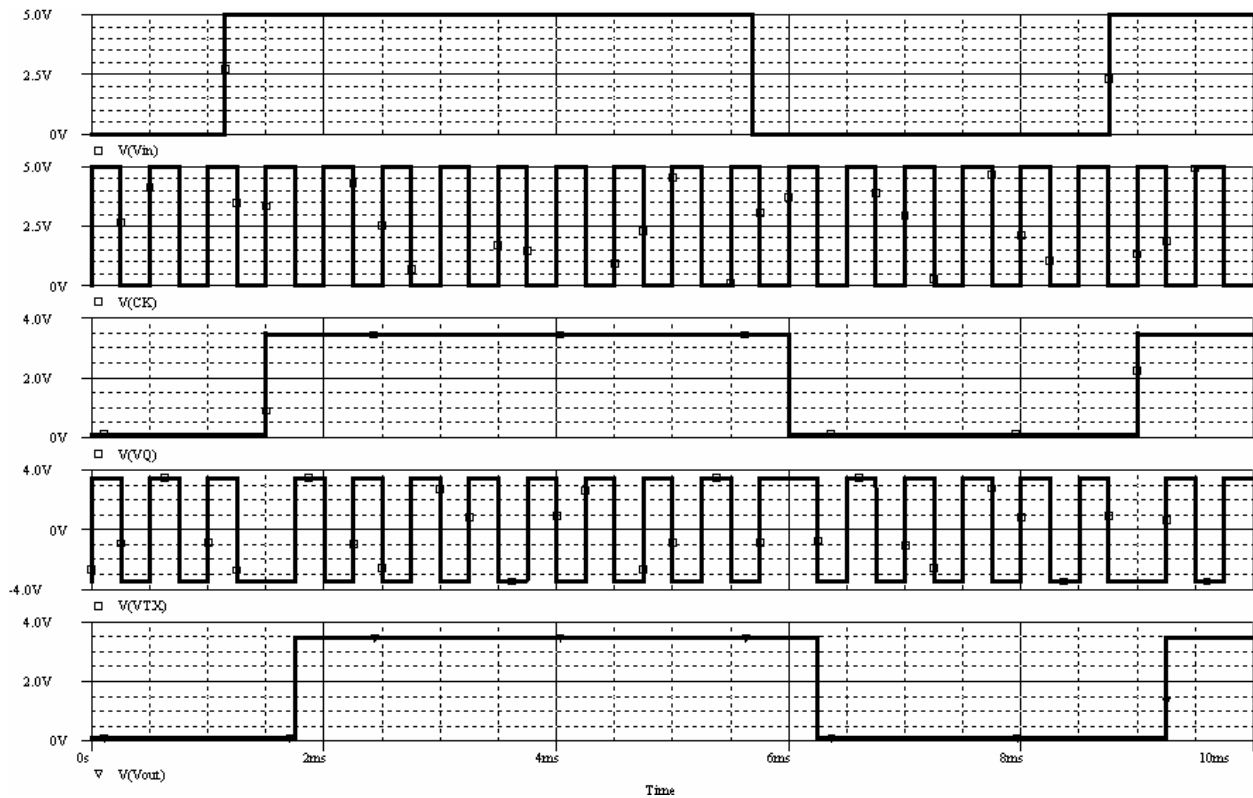


Figura 10. Andamenti temporali del dato, del segnale di clock, del dato in uscita dal primo FF, del segnale trasmesso e del segnale in uscita al ricevitore.

Si osservi la perfetta ricostruzione di dati a meno di una traslazione temporale pari a $T_{ck}/2$.

Durata del bit = Periodo di Clor: $T_{ck} = 0.5 \text{ ms}$

Sequenza di entrata: 00011111111100000011

Si osservi, infine, come le lunghe sequenze di bit uguali siano trasmesse in linea (VTX) come segnale bipolare continuamente variabile come specificato dalle caratteristiche del codice.